

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-167574

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G11C 11/406
G11C 11/407
G11C 11/403

(21)Application number : 11-348617

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.12.1999

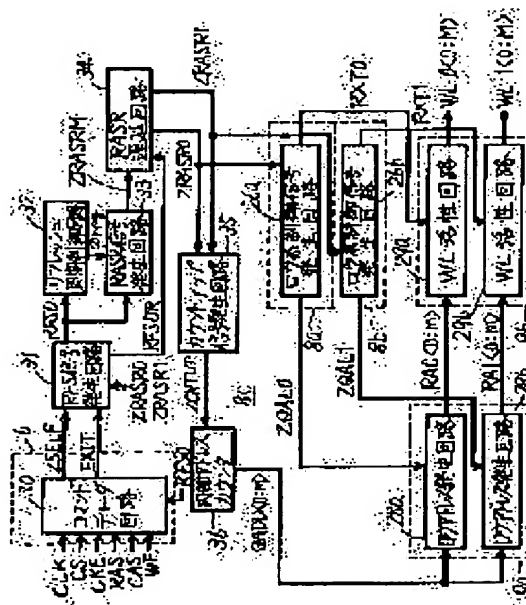
(72)Inventor : NAKANO MASAYA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-bank semiconductor memory in which current consumption at the time of a self-refresh mode can be scattered without increasing tRC of specification values.

SOLUTION: Banks are divided into plural groups, and activation timing of these banks are made different at the time of self-refresh mode. Also, when refresh for a group unit for banks of plural groups is interrupted, generating operation of a count-up indication signal from a count-up signal generating circuit 35 is stopped, and updating of a refresh address from an internal address counter 36 is stopped.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167574

(P2001-167574A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.⁷

識別記号

F I

テマート* (参考)

G 1 1 C 11/406
11/407
11/403

G 1 1 C 11/34

3 6 3 K 5 B 0 2 4
3 6 2 S
3 6 3 M

審査請求 未請求 請求項の数 7 O L (全 35 頁)

(21) 出願番号

特願平11-348617

(22) 出願日

平成11年12月8日 (1999.12.8)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中野 全也

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

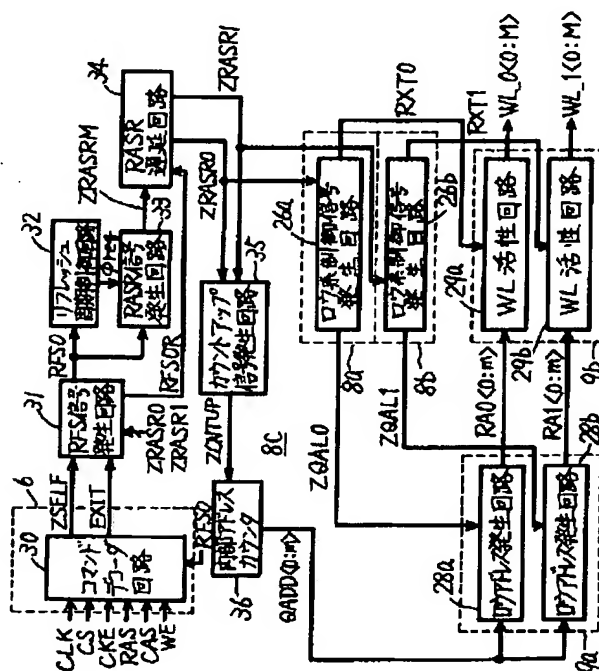
Fターム (参考) 5B024 AA01 AA03 AA15 BA21 BA29
CA07 CA16 CA27 DA08 DA10
DA16 DA18 DA20

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 セルフリフレッシュモード時の電流消費を仕様値 t R C を増大させることなく分散することのできる多バンク半導体記憶装置を提供する。

【解決手段】 バンクを複数の組に分割し、セルフリフレッシュモード時これらのバンクの活性化タイミングを異ならせる。また、複数組のバンクに対する組単位でのリフレッシュが中断されたときには、カウントアップ信号発生回路 (35) からのカウントアップ指示信号発生動作を停止させ、内部アドレスカウンタ (36) からのリフレッシュアドレス更新を停止させる。



【特許請求の範囲】

【請求項1】 各々が行列状に配列される複数のメモリセルを有しかつ複数のバンクに分割されるメモリアレイを備え、前記複数のバンクは、各々が1以上のバンクを含む複数の組に分割され、さらに前記メモリアレイのリフレッシュすべきメモリセルを指定するリフレッシュアドレスを発生するためのリフレッシュアドレス発生手段、

リフレッシュモード指示にตอบสนองして、所定の周期でリフレッシュ要求を発生するリフレッシュ要求発生回路、および前記複数のバンク各々に対応して設けられ、活性化時前記リフレッシュアドレス発生手段からのリフレッシュアドレスに従って対応のバンクのアドレス指定されたメモリセルのデータをリフレッシュするための複数のリフレッシュ回路を備え、前記複数のリフレッシュ回路の各々は、活性化時前記リフレッシュアドレス発生手段からのリフレッシュアドレスを取込みかつ出力し、かつ非活性化時ラッチ状態となるラッチ回路を含み、さらに前記リフレッシュ要求またはリフレッシュモード指示にตอบสนองして前記複数の組のバンクを組単位で互いに異なるタイミングで活性化するためのリフレッシュ活性化手段、少なくとも前記複数の組のバンクのリフレッシュ動作完了にตอบสนองして前記リフレッシュアドレス発生手段のリフレッシュアドレスを更新するためのリフレッシュアドレス更新手段、およびリフレッシュモード完了指示にตอบสนองして、前記リフレッシュ要求発生手段を非活性化するためのリフレッシュ非活性化手段を備え、前記リフレッシュ非活性化手段は、前記リフレッシュ活性化手段からの前記複数の組のバンクに対するリフレッシュ活性化信号のすべての非活性化状態と前記リフレッシュモード完了指示とにตอบสนองして前記リフレッシュ要求発生手段を非活性化化する手段を含む、半導体記憶装置。

【請求項2】 前記リフレッシュアドレス更新手段は、前記複数の組のリフレッシュ非完了時前記リフレッシュアドレス発生手段にそのときのリフレッシュアドレスを保持させる、請求項1記載の半導体記憶装置。

【請求項3】 前記リフレッシュ活性化手段は、前記リフレッシュ要求発生手段からのリフレッシュ要求にตอบสนองして、各前記リフレッシュ要求ごとに所定のシーケンスで前記複数の組のバンクを組単位で順次活性化するための手段を含む、請求項1記載の半導体記憶装置。

【請求項4】 前記リフレッシュ活性化手段は、活性化期間が互いに重なり合わないよう前記複数の組のバンクを組単位で活性化する手段を含む、請求項1記載の半導体記憶装置。

【請求項5】 前記複数の組は、各々1つのバンクを含む、請求項1記載の半導体記憶装置。

【請求項6】 前記複数の組は、各々が、所定数のバンクを含む、請求項1記載の半導体記憶装置。

【請求項7】 通常動作モード時互いに独立に活性／非

活性化される複数のバンクに分割されるメモリアレイを備え、前記複数のバンクは複数の組に分割され、さらにリフレッシュモード時活性化され、所定の周期でリフレッシュ要求を発生するリフレッシュ周期制御回路、前記リフレッシュ要求にตอบสนองして所定の時間幅を有するリフレッシュ活性化信号を発生するアレイ活性化信号発生回路、および前記リフレッシュ活性化信号にตอบสนองして前記複数のバンク各々に対するバンク活性化信号を発生するためのバンク活性化回路を備え、前記バンク活性化回路は、前記複数の組の組ごとにバンク活性化信号の活性化タイミングを異ならせかつ前記複数の組を組単位で所定のシーケンスで活性化するための手段を含み、さらに前記複数のバンクに共通に設けられ、リフレッシュされるべきメモリセルをアドレス指定するリフレッシュアドレスを発生するリフレッシュアドレスカウンタ、前記複数のバンク各々に対応して設けられ、前記バンク活性化回路からの対応のバンク活性化信号にตอบสนองして活性化され、前記リフレッシュアドレスカウンタからのリフレッシュアドレスを取込みかつラッチし、該取込んだリフレッシュアドレスに従って対応のバンクのメモリセルを選択するメモリセル選択回路を備え、前記選択回路は非活性化時該取込んだリフレッシュアドレスをラッチする状態となり、前記リフレッシュモードを指示するリフレッシュモード指示にตอบสนองして前記リフレッシュ周期制御回路を活性化しかつ前記リフレッシュモードの完了の指示と前記バンク活性化回路からのバンク活性化信号のすべての非活性化状態とにตอบสนองして前記リフレッシュ周期制御回路を非活性化するリフレッシュモード制御回路、および少なくとも前記複数の組に対するバンク活性化信号がすべて活性化されると前記リフレッシュアドレスカウンタのリフレッシュアドレスを更新するためのアドレス更新回路を備える、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特に、記憶データの周期的なリフレッシュが必要なダイナミック型半導体記憶装置に関する。より特定のには、この発明は、多バンク構成のダイナミック型半導体記憶装置のリフレッシュ制御部の構成に関する。

【0002】

【従来の技術】図31は、従来の半導体記憶装置の全体の構成を概略的に示す図である。図31において、半導体記憶装置は、メモリセルMCが行列状に配列されるメモリアレイ1を含む。このメモリアレイ1において、メモリセルMCの各行に対応してワード線WLが配置され、メモリセルMCの各列に対応してビット線対が配置される。図31においては、ビット線対のうち一方のビット線BLを示す。メモリセルMCは、ワード線WLとビット線対の交差部に対応して配置され、かつ対応の

ビット線対の一方のビット線（BLまたは／BL）に接続される。

【0003】図31に示す半導体記憶装置は、さらに、外部から与えられる制御信号を受けて内部制御信号を生成する制御信号入力バッファ2を含む。この制御信号入力バッファ2は、外部からのチップセレクト信号ext. /CSを受けるCSバッファ2aと、外部からのロウアドレスストローブ信号ext. /RASを受けるRASバッファ2bと、外部からのコラムアドレスストローブ信号ext. /CASを受けるCASバッファ2cと、外部からのライトイネーブル信号ext. /WEを受けるWEバッファ2dと、外部からのクロックイネーブル信号ext. /CKEを受けるCKEバッファ2eを含む。チップセレクト信号ext. /CSは、この半導体記憶装置が選択されたことを示す。この半導体記憶装置は、後に説明するようにクロック信号に同期して動作するクロック同期型半導体記憶装置であり、クロックイネーブル信号ext. /CKEは、次のクロックサイクルにおける内部クロック信号の発生を制御する。制御信号ext. /RAS、ext. /CASおよびext. /WEの、クロック信号の立上がりエッジにおける論理状態の組合せにより、動作モードが指定され、これらの制御信号の論理状態の組合せを、コマンドと称す。

【0004】この半導体記憶装置は、さらに、外部からのアドレス信号ext. /Addを受けて内部アドレスを生成するアドレスバッファ3と、外部クロック信号ext. /CLKを受けるCLKバッファ4と、CKEバッファ2aからの内部クロックイネーブル信号とCLKバッファ4からのクロック信号とに従って内部クロック信号を発生する内部クロック発生回路5と、内部クロック発生回路5からの内部クロック信号の立上がりエッジで制御信号入力バッファ2から与えられた制御信号の論理レベルを判定し、動作モードを指定する信号を発生するコマンドデコーダ6と、コマンドデコーダ6からのモードレジスタセットモード指示に応答して活性化され、アドレスバッファ3からの所定のアドレスビットを入力するモードレジスタ7と、内部クロック発生回路5からの内部クロック信号とコマンドデコーダ6からの動作モード指示信号とモードレジスタ7からの動作パラメータデータとに従って指定された動作モードを実行するための内部制御信号を生成する内部制御回路8を含む。モードレジスタ7には、この半導体記憶装置のデータ入出力モード、バースト長、およびCASレイテンシなどを示す情報が格納される。内部制御回路8は、この内部クロック発生回路5からの内部クロック信号に同期して、各種内部制御信号を生成する。

【0005】この半導体記憶装置は、さらに、内部制御回路8の制御の下に活性化され、アドレスバッファ3から与えられた内部ロウアドレス信号をデコードし、メモリアレイ1のアドレス指定された行に対応するワード線

を選択状態へ駆動するためのロウデコーダ9と、内部制御回路8の制御の下に活性化され、活性化時メモリアレイ1の選択行上のメモリセルのデータの検知および増幅を行なうセンスアンプ10と、内部制御回路8の制御の下に動作し、アドレスバッファ3からの内部コラムアドレス信号をデコードし、メモリセルアレイ1のアドレス指定された列を選択するためのコラムデコーダ11を含む。センスアンプ10は、このメモリアレイ1の各列に対応して設けられるセンスアンプ回路を含み、コラムデコーダ11からの列選択信号に従って、このセンスアンプ10に含まれるアドレス指定された列に対応するセンスアンプ回路が内部データ線（I/O線）12に結合される。

【0006】この半導体記憶装置は、さらに、データ読出モード時内部制御回路8の制御の下に活性化され、内部データ線12上に伝達されたメモリセルデータを増幅するブリアンプ13と、内部制御回路8の下に動作し、ブリアンプ13により増幅された内部読出データを内部クロック信号に同期して転送するリードレジスタ14と、内部制御回路8の制御の下に活性化され、リードレジスタ14から伝達されるデータを内部クロック信号に同期して順次出力する出力バッファ15と、外部からの書込データext. /DQを受けて内部クロック発生回路5からの内部クロック信号に同期してラッチするデータインバッファ16と、内部制御回路8の制御の下に活性化され、データインバッファ16からの書込データを増幅して内部データ線（I/O線）12を介してメモリアレイ1の選択メモリセルへ伝達するライトドライバ17と、外部からのデータマスク指示信号ext. /DQMを受けて出力バッファ15およびライトドライバ17へ内部データマスク指示信号を与えるDQMバッファ18を含む。DQMバッファ18からの内部データマスク指示信号が活性状態となると、データの出力またはデータの書込にマスクが掛けられる。

【0007】この図31に示す半導体記憶装置は、内部の動作タイミングが、内部クロック発生回路5からの内部クロック信号により決定されており、制御信号間のタイミングマージンは考慮する必要がなく、内部クロック信号に対するタイミングマージンのみを考慮することが要求されるだけであり、応じてタイミングマージンを小さくでき、高速動作が可能となる。また、データの入出力は、内部クロック発生回路5からの内部クロック信号に同期して行なわれており、応じてデータの入出力速度が、この内部クロック発生回路5からの内部クロック信号、すなわち外部クロック信号ext. /CLKにより決定され、高速のデータの入出力（転送）が可能となる。

【0008】この半導体記憶装置のメモリセルMCは、1トランジスタ／1キャパシタ型のダイナミックメモリセルであり、キャパシタのリーク電流による記憶データの消失を防止するために定期的にリフレッシュ動作を行

10

20

30

40

50

なって、メモリセルデータの再書込を行なう必要がある。単にメモリセルMCの記憶データの保持を行なう動作モード時には、内部でリフレッシュアドレスを生成し、このリフレッシュアドレスに従ってメモリセルを選択して記憶データのリフレッシュ、すなわち再書込を行なうセルフリフレッシュが実行される。

【0009】図32は、図31に示すメモリアレイ1および内部制御回路8の概略構成を示す図である。図32においてメモリアレイ1は、2つのバンクB0およびB1に分割される。内部制御回路8は、これらのバンクB0およびB1それぞれに対応して設けられ、対応のバンクB0およびB1を、コマンドデコーダからの動作モード指示信号に従って選択的に活性化するバンク制御回路8aおよび8bを含む。これらのバンク制御回路8aおよび8bは、互いに独立に活性／非活性化され、図31に示すアドレスバッファ3からのバンクアドレス信号に従って一方が指定され、コマンドデコーダ6からの動作モード指示信号に従って指定された動作を実行する。この図32に示すようにメモリアレイ1をバンクB0およびB1に分割することにより、バンクB0へのデータア

クセス時、バンクB1においてメモリセル行を選択する動作を並行して行なうことができ、インターリーブ状態でバンクB0およびB1へアクセスすることにより、高速のデータ転送が実現される。

【0010】セルフリフレッシュモード時には、リフレッシュ制御回路8cの制御の下にこれらのバンクB0およびB1において同時にリフレッシュ動作が実行される。バンクB0およびB1を交互にリフレッシュする場合、外部ロジックがリフレッシュ指示を通常動作モード時に与えるオートリフレッシュモード時、各バンクを、所定のリフレッシュサイクルでリフレッシュを行なうためには、リフレッシュ指示動作を実際のリフレッシュサイクルの1/2のサイクルで発行する必要があり、処理の待ち時間が長くなる。また、バンクB0およびB1を交互にリフレッシュした場合、1つのバンクに対するリフレッシュ動作完了後、セルフリフレッシュモードが解除されるセルフリフレッシュイグジットコマンドが与えられたとき、他方のバンクは、リフレッシュされないままであり、セルフリフレッシュモード時におけるリフレッシュサイクルが異なり、また記憶データの安定な保持を保証することができなくなる。したがって、通常、セルフリフレッシュモード時には、バンクB0およびB1共通にリフレッシュ動作が行なわれる。

【0011】図33は、バンク制御回路8aおよび8bの要部の構成を概略的に示す図である。図33においては、バンク制御回路8aおよび8bの入力部の構成を共通に示す。図33において入力部は、対応のバンクのメモリアレイを選択状態へ駆動する動作を指示するアクティブコマンドACTにตอบสนองしてセットされかつアレイプリチャージコマンドPRGにตอบสนองしてリセットされるセ

ット／リセットフリップフロップ19と、図32に示すリフレッシュ制御回路8cからのリフレッシュアレイ活性化指示信号RASRとセット／リセットフリップフロップ19の出力信号を受けて、ロウ系回路を駆動する内部アレイ活性化指示信号RASを生成するOR回路20を含む。

【0012】このOR回路20からの内部アレイ活性化指示信号RASに従って対応のバンクのロウ系回路が所定のシーケンスで動作する。このアクティブコマンドACTおよびプリチャージコマンドPRGはバンクアドレスとともに与えられ、バンクアドレスにより指定されたバンクにおいてのみ、セット／リセットフリップフロップ19が動作する（アクティブコマンドACTおよびプリチャージコマンドPRGがそれぞれバンクアドレスと組合せて与えられる）。一方、リフレッシュ制御回路8c（図33参照）からは、リフレッシュアレイ活性化指示信号RASRが各バンクに共通に与えられる。したがってバンクB0およびB1において共通に内部アレイ活性化指示信号RASに従ってロウ系回路が動作し、メモリセルの行選択動作が実行される。

【0013】図34は、この内部制御回路8のリフレッシュ動作に関連する部分の構成をより詳細に示す図である。図34において、コマンドデコーダ6は、制御信号入力バッファからの制御信号CS、CKE、RAS、CASおよびWEと内部クロック信号CLKを受け、内部クロック信号CLKの立上がりエッジでこれらの制御信号の状態が、セルフリフレッシュモードを指定するセルフリフレッシュエントリコマンドのとき、セルフリフレッシュモード指示信号ZSELFを活性状態へ駆動し、セルフリフレッシュモード完了を示すセルフリフレッシュイグジットコマンドが与えられたときには、セルフリフレッシュ完了指示信号EXITを活性化するコマンドデコーダ回路21を含む。

【0014】リフレッシュ制御回路8cは、コマンドデコーダ回路21からの指示信号ZSELFおよびEXITに従ってセルフリフレッシュ活性化信号RFSを発生するRFS信号発生回路23と、RFS信号発生回路23からのセルフリフレッシュ活性化信号RFSの活性状態の間、所定の周期でリフレッシュ要求を発生するリフレッシュ周期制御回路25と、リフレッシュ周期制御回路25からのリフレッシュ要求に従って所定のパルス幅を有するリフレッシュアレイ活性化信号ZRASRを発生するRASR信号発生回路24と、このRASR信号発生回路24からのリフレッシュアレイ活性化信号ZRASRの活性化にตอบสนองしてカウントアップ信号ZCNTUPを発生するアドレス更新回路22と、このアドレス更新回路22からのカウントアップ指示信号ZCNTUPに従ってそのカウント値を更新（増分）してリフレッシュアドレスQADD<0:m>を発生する内部アドレスカウンタ27を含む。

【0015】RFS信号発生回路23は、セルフリフレッシュモード指示信号ZSELFが活性化されると、リフレッシュ活性化信号RFSを活性化し、セルフリフレッシュモード完了指示信号EXITが活性化されると、RASR信号発生回路24からのリフレッシュアレイ活性化信号ZRASRが非活性化状態のHレベルとなった後に、リフレッシュ活性化信号RFSを非活性化する。1つのリフレッシュ動作サイクルが完了した後に、セルフリフレッシュ動作モードを終了させる。

【0016】バンクB0に対するバンク制御回路8aは、RASR信号発生回路24からのリフレッシュアレイ活性化信号ZRASRの活性化にตอบสนองしてロウアドレスラッチ指示信号ZQALおよびワード線活性化信号RXTを活性化するロウ系制御信号発生回路26aを含み、バンク制御回路8bは、RASR信号発生回路24からのリフレッシュアレイ活性化信号ZRASRの活性化にตอบสนองしてロウアドレスラッチ指示信号ZQALおよびワード線活性化信号RXTを活性化するロウ系制御信号発生回路26bを含む。

【0017】図31に示すロウデコーダ9は、ロウアドレス発生部9aと、ワード線を選択状態へ駆動するワード線活性化回路9bを含む。このロウアドレス発生部9aは、内部アドレスカウンタ27からのリフレッシュアドレス $QADD<0:m>$ と図31に示すアドレス入力バッファからの内部ロウアドレスの一方を受ける。リフレッシュモード時においては、図示しないマルチプレクサにより内部アドレスカウンタ27からのリフレッシュアドレス $QADD<0:m>$ が選択されて、ロウアドレス発生部9aへ与えられる。ロウアドレス発生部9aは、バンクB0およびB1に対応してそれぞれ設けられ、それぞれがロウ系制御信号発生回路26aおよび26bからのロウアドレスラッチ指示信号ZQALにตอบสนองして与えられたアドレスビットを取込みかつラッチするロウアドレス発生回路28aおよび28bを含む。

【0018】ワード線活性化信号9bは、ロウアドレス発生回路28aおよび28bからの内部ロウアドレスビット $RA<0:m>$ をデコードし、ロウ系制御信号発生回路26aおよび26bからのワード線活性化信号RXTに従ってアドレス指定されたワード線を選択状態へ駆動するWL活性化回路29aおよび29bを含む。バンクB0およびB1それぞれにおいては、ワード線 $WL_0<0:M>$ および $WL_1<0:M>$ が設けられ、アドレス指定された行に対応するワード線が選択状態へ駆動される。ここで、 $M=2^{n1}-1$ である。

【0019】通常動作モード時においては、これらのバンクB0およびB1それぞれに対して設けられる回路は、互いに独立に動作する。しかしながら、セルフリフレッシュモード時においては、RASR信号発生回路24からのリフレッシュアレイ活性化信号ZRASRに従ってロウ系制御信号発生回路26aおよび26bが動作

し、応じてバンクB0およびB1においてリフレッシュアドレスが指定するワード線が選択状態へ駆動され、この選択ワード線に接続されるメモリセルデータが読出されてセンスアンプにより検知、増幅、および再書込されてメモリセルの記憶データのリフレッシュが実行される。

【0020】次に、この図34に示す回路の動作を図35に示すタイミングチャート図を参照して説明する。

【0021】時刻 t_a において外部クロック信号ext. CLKの立上がりエッジでセルフリフレッシュエントリコマンドが与えられる。このセルフリフレッシュエントリコマンドに従って、図34に示すコマンドデコーダ回路21からのセルフリフレッシュモード指示信号ZSELFが所定期間Lレベルとなり、応じてRFS信号発生回路23からのリフレッシュ活性化信号RFSが活性化状態のHレベルへ立上がる。このリフレッシュ活性化信号RFSが活性化状態のHレベルに立上がると、コマンドデコーダ回路21は、セルフリフレッシュ完了指示信号EXITをHレベルに立上げ、応じて補のセルフリフレッシュ完了指示信号ZEXITをLレベルの活性化状態に設定する。

【0022】リフレッシュ周期制御回路25は、このRFS信号発生回路23からのリフレッシュ活性化信号RFSの活性化に従ってリフレッシュ要求を発生する。RASR信号発生回路24は、RFS信号発生回路23からのリフレッシュ活性化信号RFSの活性化にตอบสนองして、リフレッシュアレイ活性化信号ZRASRをLレベルの活性化状態へ駆動する。応じてアドレス更新回路22が、カウントアップ指示信号ZCNTUPをLレベルの活性化状態へ駆動し、内部アドレスカウンタ27のカウント値を更新し、リフレッシュアドレス $QADD<0:m>$ が応じて更新される。この内部アドレスカウンタ27からのリフレッシュアドレス $QADD<0:m>$ は、リフレッシュ活性化信号RFSの活性化時、アドレス入力バッファからの外部アドレスに代えて、図示しないマルチプレクサ回路を介してロウアドレス発生回路28aおよび28bへ与えられる。

【0023】RASR信号発生回路24からのリフレッシュアレイ活性化信号ZRASRの活性化にตอบสนองして、ロウ系制御信号発生回路26aおよび26bがともに活性化され、ロウアドレス発生回路28aおよび28bに対しロウアドレスラッチ指示信号ZQALを与える。このロウアドレスラッチ指示信号ZQALの活性化にตอบสนองして、ロウアドレス発生回路28aおよび28bが、内部アドレスカウンタ27から与えられたリフレッシュアドレス $QADD<0:m>$ を取込み、リフレッシュアドレス $RA<0:m>$ を並行して生成する。図35においては、このリフレッシュアドレス $RA<0:m>$ が、アドレス#0000を規定している状態が一例として示される。ロウ系制御信号発生回路26aおよび26bは、

10

20

30

40

50

リフレッシュアレイ活性化信号ZRASRの活性化に
 応答して、所定のタイミングでワード線活性化信号RXT
 を活性状態へ駆動する。応じて、WL活性回路29aお
 よび29bにおいては、ロウアドレス発生回路28aお
 よび28bから与えられたリフレッシュアドレスRA<0:m>
 をデコードし、ワード線活性化信号RXTに従っ
 て、アドレス指定されたワード線を選択状態へ駆動す
 る。図35においては、バンクB0およびバンクB1に
 おいて、ワード線WL_0<0>およびWL_1<0>
 が選択状態へ駆動された状態が一例として示される。

【0024】このRASR信号発生回路24からのリフ
 レッシュアレイ活性化信号ZRASRは、所定の時間幅
 を有するワンショットのパルス信号であり、メモリセル
 データのリフレッシュに必要とされる時間、活性状態と
 される。所定時間が経過すると、このリフレッシュア
 レイ活性化信号ZRASRが非活性状態のHレベルへ立上
 がり、またカウントアップ指示信号ZCNTUPが非活
 性状態となり、またワード線ラッチ指示信号ZQALお
 よびワード線活性化信号RXTが非活性状態となり、1
 つのリフレッシュ動作サイクルが完了する。ロウアド
 レス発生回路28aおよび28bは、ラッチ状態となり、
 リフレッシュアドレスRA<0:m>をラッチする。

【0025】リフレッシュ周期制御回路25は、このリ
 フレッシュ活性化信号RFSの活性化時カウント動作を
 行ない、所定の周期で、リフレッシュ要求を発生する。
 所定時間が経過すると、リフレッシュ周期制御回路25
 がリフレッシュ要求を発生し、応じてRASR信号発生
 回路24がリフレッシュアレイ活性化信号ZRASRを
 活性状態へ駆動する。応じて内部アドレスカウンタ27
 からのリフレッシュアドレスQADD<0:m>が、ア
 ドレス更新回路22からのカウントアップ指示信号ZC
 NNTUPに従って更新され、再び新たなリフレッシュア
 ドレスに従ってリフレッシュ動作が実行される。

【0026】このリフレッシュ動作期間内において、セ
 ルフリフレッシュイグジットコマンドが与えられ、セル
 フリフレッシュモード完了が時刻tbにおいて指定され
 ると、コマンドデコーダ回路21は、セルフリフレッ
 シュ完了指示信号ZEXITを、Hレベルの活性状態へ駆
 動する。RFS信号発生回路23は、このセルフリフレ
 ッシュ完了指示信号EXIT（またはZEXIT）の非
 活性化に
 応答して、RASR信号発生回路24からのリ
 フレッシュアレイ活性化信号ZRASRがHレベルの活
 性状態となった後に、リフレッシュ活性化信号RFSを
 非活性状態のLレベルへ駆動する。したがってセルフリ
 フレッシュイグジットコマンドが時刻tbに与えられて
 も、そのとき行なわれているリフレッシュ動作は停止さ
 れず、新たなリフレッシュアドレス#0001に対して
 ワード線WL_0<1>およびWL_1<1>が選択さ
 れて、この選択ワード線に接続されるメモリセルのリフ
 レッシュが行なわれることになる。このリフレッシュ動

作が完了した後に、セルフリフレッシュモードが完了す
 る。

【0027】時刻tcにおいて、再び、セルフリフレ
 ッシュエントリコマンドが与えられると、先の時刻taか
 らの動作と同様の動作が行なわれ、このときには、内部
 アドレスカウンタ27のカウント値が更新され、また新
 たなリフレッシュアドレスQADD<0:m>に従っ
 て、次のワード線WL_0<2>およびWL_1<2>
 が選択状態へ駆動され、それらのワード線に接続される
 メモリセルのデータのリフレッシュが実行される。

【0028】セルフリフレッシュエントリコマンドが与
 えられると、バンクB0およびB1において同時にメモ
 リセルデータのリフレッシュが実行され、外部のロジッ
 クが、オートリフレッシュコマンドを通常動作モード時
 印加する場合においても、内部アドレスカウンタ27か
 らのリフレッシュアドレスに従って各バンクに対しリフ
 レッシュ動作を行なうことができ、外部ロジックは、リ
 フレッシュ時のバンクアドレスの管理をする必要がな
 く、多バンク構成においてもリフレッシュ動作を確実に
 実行することができる。

【0029】

【発明が解決しようとする課題】図36は、1つのワー
 ド線WLと1対のビット線BL、/BLに関連する部分
 の構成を概略的に示す図である。図36において、WL
 発生回路29（29a、29b）は、内部ロウアドレス
 ビットRA<0:m>をデコードするロウデコード回路
 29rdと、ワード線活性化信号RXTとロウデコード
 回路29rdの出力信号とに従ってワード線WLを選択
 状態へ駆動するワード線ドライブ回路29wdを含む。

【0030】ビット線BLおよび/BLには、SA制御
 回路SCTLからのセンス活性化信号φSEの活性化時
 ビット線BLおよび/BLの電位を差動増幅しかつラッ
 チするセンスアンプ回路SAと、ビット線分離ゲートお
 よびビット線イコライズ回路などのビット線（BL）周
 辺回路BPHが設けられる。センスアンプ回路SAへ
 は、アレイ電源電圧Vccaおよび接地電圧Vssが与
 えられ、ビット線BLおよび/BLは、メモリセルMC
 の記憶データに応じて、アレイ電源電圧Vccaおよび
 接地電圧Vssレベルに駆動される。

【0031】従来のセルフリフレッシュモード時に
 おいては、バンクB0およびB1において同時にワード線WL
 が選択されている。したがって図36に示すロウデ
 コード回路29rdおよびワード線ドライブ回路29wd
 が同時に動作し、またワード線活性化信号RXTを発生
 する回路も同時に動作する。したがって、図37に示す
 ように、ワード線WL選択時の電源電流Icのピーク電
 流が増加し、これらの回路の動作電源電圧（周辺電源電
 圧Vccp）レベルが低下し、これらの周辺電源電圧V
 cc pを動作電源電圧として動作する回路の動作マー
 ジンが小さくなり、誤動作が生じる可能性がある。

【0032】また、センスアンプ回路SAを活性化するためのSA制御回路SCTLは、アレイ活性化信号RASの活性化にตอบสนองしてセンス活性化信号φSEを活性化状態へ駆動している。したがって、バンクに同時にワード線選択動作を行なわせる場合には、これらのバンクすべてにおいても同時にセンス活性化信号φSEが活性化され、センスアンプ回路SA動作時におけるピーク電流は、図37に示すように、通常動作モード時よりも大きくなり、基板電流などの基板ノイズにより、メモリセルアレイと同一基板領域に形成された回路またはアレイ電源電圧Vccaを一方動作電源電圧として動作する回路が誤動作する可能性がある。

【0033】このような消費電流の集中を分散させるために、各バンクごとにワード線WLの活性化タイミングをずらせ、応じて電流消費を分散させることが考えられる。しかしながら、図35に示すように、セルフリフレッシュイグジットコマンドが与えられてから、次にセルフリフレッシュエントリコマンドが与えられるまでには、仕様値で決められる時間tRCが必要とされる。これは、セルフリフレッシュエントリコマンドと異なる通常のアクセスコマンド（アクティブコマンド）の場合も同様である。確実に、内部回路がプリチャージ状態となったときに次の動作モードをこの半導体記憶装置に行なわせるために、仕様値tRCが設けられている。

【0034】しかしながら、図38に示すように、このワード線WLの活性化タイミングを、各バンクごとに異ならせる場合、応じてアレイ活性化信号RAS0およびRAS1の活性化タイミングが異なる。したがって、全体としてのセルフリフレッシュ動作期間が長くなる。この状態においてセルフリフレッシュイグジットコマンドが印加された場合、仕様値tRCが経過しても、まだ内部でのセルフリフレッシュ動作が完了していない場合が考えられる。この場合、内部回路はすべて確実に初期状態にプリチャージされていないため、この新たなセルフリフレッシュエントリコマンドによるセルフリフレッシュ動作において誤動作が生じる可能性がある。たとえば、セルフリフレッシュ動作時ラッチ状態にあるロウアドレス発生回路が新たなリフレッシュエントリコマンドにより、スルー状態となり新たなリフレッシュアドレスを取込んだ場合、選択中のワード線と新たなリフレッシュアドレスのワード線とが衝突することになり、新たなリフレッシュ動作を現在実行中のリフレッシュ動作を正確に実行することができなくなる。

【0035】特に、バンクの数が多くなった場合、このようなワード線活性化タイミングをずらせる場合、実際のリフレッシュ動作を行なう期間が長くなり、たとえば70nsに設定されている仕様値tRC内において、内部でリフレッシュ動作が完了していない状態が生じる可能性がより増大する。

【0036】この発明の目的は、ピーク電流、電流消費

および仕様値tRCを増大させることなく正確にメモリセルデータのリフレッシュを行なうことのできる半導体記憶装置を提供することである。

【0037】この発明の他の目的は、リフレッシュ動作時の電流消費を分散させることができかつリフレッシュ動作を中断しても記憶データの消失の生じることのない半導体記憶装置を提供することである。

【0038】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有しかつ複数のバンクに分割されるメモリアレイを備える。これら複数のバンクは、各々が1以上のバンクを含む複数の組に分割される。

【0039】請求項1に係る半導体記憶装置は、さらに、リフレッシュすべきメモリセルを指定するリフレッシュアドレスを発生するリフレッシュアドレス発生手段と、リフレッシュモード指示にตอบสนองして所定の周期でリフレッシュ要求を発生するリフレッシュ要求発生回路と、複数のバンク各々に対応して設けられ、活性化時リフレッシュアドレス発生手段からのリフレッシュアドレスに従って対応のバンクのアドレス指定されたメモリセルのデータのリフレッシュを行なうための複数のリフレッシュ回路とを備える。これら複数のリフレッシュ回路の各々は、活性化時リフレッシュアドレス発生手段からのリフレッシュアドレスを取込みかつ出力し、かつ非活性化時ラッチ状態となるラッチ回路を含む。

【0040】請求項1に係る半導体記憶装置は、さらに、リフレッシュモード指示またはリフレッシュ要求にตอบสนองして複数の組のバンクを組単位で互いに異なるタイミングで活性化するためのリフレッシュ活性化手段と、少なくとも複数の組のバンクのリフレッシュ完了にตอบสนองしてリフレッシュアドレス手段のリフレッシュアドレスを更新するリフレッシュアドレス更新手段と、リフレッシュモード完了指示にตอบสนองしてリフレッシュ要求発生手段を非活性化するためのリフレッシュ非活性化手段を備える。このリフレッシュ非活性化手段は、リフレッシュ活性化手段からの複数の組のバンクに対するリフレッシュ活性化信号のすべての非活性化状態とリフレッシュモード完了指示とにตอบสนองしてリフレッシュ要求発生手段を非活性化する方法を含む。

【0041】請求項2に係る半導体記憶装置は、請求項1のリフレッシュアドレス更新手段は複数の組のリフレッシュ非完了時、リフレッシュアドレス発生手段に、そのときのリフレッシュアドレスを保持させる。

【0042】請求項3に係る半導体記憶装置は、請求項1のリフレッシュ活性化手段は、リフレッシュ要求発生手段からのリフレッシュ要求にตอบสนองして、所定のシーケンスで複数の組のバンクを組単位で順次活性化する方法を含む。

【0043】請求項4に係る半導体記憶装置は、請求項

1のリフレッシュ活性化手段が、活性化期間が互いに重なり合わないよう複数の組のバンクを組単位で活性化する方法を含む。

【0044】請求項5に係る半導体記憶装置は、請求項1の装置において、複数の組は、各々1つのバンクを含む。

【0045】請求項6に係る半導体記憶装置は、複数の組が、各々、所定数のバンクを含む。

【0046】請求項7に係る半導体記憶装置は、通常動作モード時互いに独立に活性／非活性化される複数のバンクに分割されるメモリアレイを備える。複数のバンクは複数の組に分割される。

【0047】この請求項7にかかる半導体記憶装置は、さらに、リフレッシュモード時活性化され、所定の周期でリフレッシュ要求を発生するリフレッシュ周期制御回路と、リフレッシュ要求にตอบสนองして所定の時間幅を有するリフレッシュ活性化信号を発生するアレイ活性化信号発生回路と、リフレッシュ活性化信号にตอบสนองして複数のバンクに対するバンク活性化信号を発生するバンク活性化回路を備える。バンク活性化回路は複数の組の組ごとにバンク活性化信号の活性化タイミングを異ならせかつ複数の組のバンクを組単位で所定のシーケンスで各リフレッシュ要求ごとに活性化するための手段を含む。

【0048】請求項7に係る半導体記憶装置は、さらに、複数のバンクに共通に設けられ、リフレッシュメモリセルを指定するリフレッシュアドレスを発生するリフレッシュアドレスカウンタと、複数のバンク各々に対応して設けられ、バンク活性化回路からの対応のバンク活性化信号にตอบสนองして活性化され、リフレッシュアドレスカウンタからのリフレッシュアドレスを取込みかつラッチし、該取込んだリフレッシュアドレスに従って対応のバンクのメモリセル行を選択する選択回路を備える。この選択回路は非活性化時取込んだリフレッシュアドレスをラッチする状態となる。

【0049】請求項7に係る半導体記憶装置は、さらに、リフレッシュモードを指示するリフレッシュモード指示にตอบสนองしてリフレッシュ周期制御回路を活性化してリフレッシュモードおよびかつリフレッシュモードの完了の指示とバンク活性化回路からのバンク活性化信号のすべての非活性化状態とにตอบสนองしてリフレッシュ周期制御回路を非活性化するリフレッシュモード制御回路と、少なくとも複数の組に対するバンク活性化信号がすべて活性化されるとリフレッシュアドレスカウンタのリフレッシュアドレスを更新するためのアドレス更新回路を備える。

【0050】バンクの組単位でリフレッシュを行なうことにより、リフレッシュ動作時の電流消費を分散させることができる。また、全バンクのリフレッシュ完了後にリフレッシュアドレスを更新しかつ全バンクのリフレッシュ非完了時リフレッシュアドレス発生回路がアドレス

ラッチ状態となっており、全バンクのリフレッシュ完了前にリフレッシュモードが中断されても、次のリフレッシュ指示により、中断時のリフレッシュアドレスに従ってリフレッシュを行なうことができる。したがって、全バンクにおいて、リフレッシュ周期が異ならず、メモリセルデータが消失するのを防止することができる。また、リフレッシュモードを全バンクのリフレッシュが完了する前に中断することが可能となり、仕様値 t_{RC} が増大するのを抑制することができる。

10 【0051】

【発明の実施の形態】 [実施の形態1] 図1は、この発明の実施の形態1に従う半導体記憶装置の要部の構成を概略的に示す図である。図1においては、2つのバンクB0およびB1に対するリフレッシュ制御回路およびロウ系回路の構成を示す。コマンドデコーダ6は、内部クロック信号CLKの立上がり同期して、制御信号CS、CKE、RAS、CASおよびWEの組合せのコマンドがセルフリフレッシュモードを指示するセルフリフレッシュエントリコマンドであるかセルフリフレッシュモードの完了を指示するセルフリフレッシュイグジットコマンドであるかを判定するコマンドデコーダ回路30を含む。コマンドデコーダ回路30は、セルフリフレッシュエントリコマンドが与えられたとき、セルフリフレッシュ指示信号ZSELFを所定期間活性状態のLレベルへ駆動する。セルフリフレッシュイグジットコマンドが与えられたときには、コマンドデコーダ回路30は、後に説明するバンクB0のリフレッシュ状態にあることを示すリフレッシュ状態指示信号RFS0の非活性化後セルフリフレッシュ完了指示信号EXITをHレベルへ駆動する。コマンドデコーダ回路30はまた、セルフリフレッシュエントリモードが与えられたときには、リフレッシュ状態指示信号RFS0がHレベルとなると、このリフレッシュ完了指示信号EXITをLレベルの非活性化状態に設定する。

【0052】リフレッシュ制御回路8cは、コマンドデコーダ回路30からのセルフリフレッシュモード指示信号ZSELFとセルフリフレッシュモード完了指示信号EXITと、後に説明するバンク活性化指示信号ZRASR0およびZRASR1に従ってバンクB0がリフレッシュ状態にあることを示すリフレッシュ状態指示信号RAFS0とバンクB0およびB1がともにリフレッシュ状態にあることを示す全バンクリフレッシュ状態指示信号RFSORとを生成するRFS信号発生回路31と、RFS信号発生回路31からのバンクB0リフレッシュ状態指示信号RFS0の活性化にตอบสนองして活性化され、所定の周期でリフレッシュ要求 ϕ_{req} を生成するリフレッシュ周期制御回路32と、RFS信号発生回路31からのバンクB0リフレッシュ状態指示信号RFS0の活性化時、リフレッシュ要求 ϕ_{req} に従って所定の時間幅を有するメインバンク活性化信号ZRASRM

を発生するRASR信号発生回路33と、RASR信号発生回路33からのメインバンク活性化信号ZRASRMをバンクB0およびB1それぞれに対し互いに異なる時間遅延してバンクB0およびB1それぞれに対するバンク活性化信号ZRASR0およびZRASR1を生成するRASR遅延回路34を含む。

【0053】このRASR遅延回路34は、RFS信号発生回路31からの全バンクリフレッシュ状態指示信号RFSORの非活性化時、バンクB1に対するバンク活性化信号ZRASR1の活性化を停止する。これにより、バンクB0に対するリフレッシュ動作時にセルフリフレッシュイグジットコマンドが与えられたとき、このバンクB0に対するリフレッシュ動作完了後、セルフリフレッシュ動作を完了し、バンクB1に対するリフレッシュ動作は行なわない。このように、バンク活性化信号は1つのバンクに対するリフレッシュ動作完了後非活性化状態となるため、セルフリフレッシュイグジットコマンド印加後、バンクB0またはB1の活性化完了後、この半導体記憶装置は全バンクがプリチャージ状態となり、セルフリフレッシュイグジットコマンド印加後、1つのバンクのリフレッシュ動作に要する時間経過後、半導体記憶装置は内部がすべてプリチャージ状態となり、仕様値tRCがたとえば70nsと短くても、1つのバンクのリフレッシュに要求される時間は、これより短く、十分仕様値を満たすことができる。

【0054】リフレッシュ制御回路8cは、さらに、バンク活性化信号ZRASR0およびZRASR1がともに活性化されると、次のリフレッシュ要求にตอบสนองして活性化されるバンク活性化信号ZRASR0に従ってカウントアップ信号ZCNTUPを活性化するカウントアップ信号発生回路35と、カウントアップ信号ZCNTUPの活性化にตอบสนองしてカウント動作を行ない、そのカウント値をリフレッシュアドレスQADD<0:m>として出力する内部アドレスカウンタ36を含む。このカウントアップ信号発生回路35は、たとえば、バンク活性化信号ZRASR0の活性化時セットされ、かつバンク活性化信号ZRASR1の活性化時リセットされるフリップフロップを含み、リセット状態のときにバンク活性化信号ZRASR0が活性化されるとカウントアップ信号ZCNTUPを活性化状態のLレベルへ駆動する。

【0055】したがって、たとえばバンクB0のリフレッシュ完了後リフレッシュが中断し、バンク活性化信号ZRASR1が非活性化状態のときには、カウントアップ信号ZCNTUPは、発生されず、内部アドレスカウンタ36はカウント動作を行わず、リフレッシュアドレスQADD<0:m>はリフレッシュ中断前の値を保持する。新たにリフレッシュメモリコマンドが与えられてバンク活性化信号ZRASR0が活性化されても、このカウントアップ信号発生回路35は、リセット状態とされていないため、カウントアップ信号は発生せず、中断

時のリフレッシュアドレスに従って再びバンクB0から順次リフレッシュを実行する。

【0056】RASR遅延回路34からのバンク活性化信号ZRASR0およびZRASR1は、バンク制御回路8aおよび8bに含まれるロウ系制御信号発生回路26aおよび26bへそれぞれ与えられる。ロウ系制御信号発生回路26aはバンク活性化信号ZRASR0の活性化にตอบสนองしてワード線活性化信号RXT0および図示しないセンスアンプ活性化信号を活性化状態へ駆動する。同様、ロウ系制御信号発生回路26bは、バンク活性化信号ZRASR1の活性化にตอบสนองしてワード線活性化信号RXT1および図示しないセンスアンプ活性化信号を活性化状態へ駆動する。ロウ系制御信号発生回路26aおよび26bはまた、バンク活性化信号ZRASR0およびZRASR1の活性化にตอบสนองしてアドレスラッチ指示信号ZQAL0およびZQAL1をそれぞれ生成する。

【0057】内部アドレスカウンタ36からのリフレッシュアドレスQADD<0:m>は、ロウアドレス発生部9aに含まれるロウアドレス発生回路28aおよび28bへそれぞれ与えられる。したがって、これらのロウアドレス発生回路28aおよび28bは、互いに異なるタイミングで活性化されるアドレスラッチ指示信号ZQAL0およびZQAL1に従って内部アドレスカウンタ36からのリフレッシュアドレスQADD<0:m>を取込みラッチする。これらのロウアドレス発生回路28aおよび28bは、その内部構成は後に詳細に説明するが、対応のバンク活性化信号が非活性化状態のときには、先の活性化時に与えられたリフレッシュアドレスを維持する。ロウアドレス発生回路28aおよび28bからの内部ロウアドレスビットRA0<0:m>およびRA1<0:m>は、それぞれワード線ドライブ回路9bに含まれるWL活性回路29aおよびWL活性回路29bへ与えられる。

【0058】WL活性回路29aは、バンクB0のワード線WL_0<0:M>のうちのアドレス指定された行に対応するワード線を選択状態へワード線活性化信号RXT0に従って駆動する。WL活性回路29bは、ロウ系制御信号発生回路26bからのワード線活性化信号RXT1とロウアドレス発生回路28bから与えられるロウアドレスビットRA1<0:m>に従って、バンクB0に含まれるワード線WL_1<0:M>のうちのアドレス指定された行に対するワード線を選択状態へ駆動する。

【0059】なお、これらのロウ系制御信号発生回路26aおよび26bは、バンク活性化信号ZRASR0およびZRASR1の活性化時バンクアドレス信号にかかわらず、ワード線活性化信号RXT0およびRXT1ならびにアドレスラッチ指示信号ZQAL0およびZQAL1を活性化状態へ駆動する（これは、図33の構成を利用する）。

【0060】バンク活性化信号ZRASR0およびZRASR1の活性化タイミングが異なるとき、特にこれらのバンク活性化信号ZRASR0およびZRASR1の活性化時間が互いに重なり合わない場合、1つのバンクにおいてのみリフレッシュを行なうことができ、電流消費が集中するのを防止することができ、内部電源電圧の変動を抑制することができる。同様、センスアンプ回路のセンス動作時におけるピーク電流も増大するのを防止でき、基板電流による基板ノイズが回路動作に悪影響を防止することができる。

【0061】したがってこれらのバンク制御回路8aおよび8bならびにロウデコーダ9a、9bの構成は、先の図54に示す構成と同様の構成であり、単にこれらの回路を活性化する信号の基本信号であるバンク活性化ZRASR0およびZRASR1の活性化タイミングが従来と異なる。以下各部の構成について詳細に説明し、その後、全体としての動作について説明する。

【0062】〔コマンドデコーダ回路30の構成〕図2は、図1に示すコマンドデコーダ回路30の構成を示す図である。図2において、コマンドデコーダ回路30は、内部クロック信号CLKとロウアドレスストローブ信号RASとコラムアドレスストローブ信号CASと補のライトイネーブル信号ZWEを受けるNAND回路40と、内部クロック信号CLKとチップセレクト信号CSと補のクロックイネーブル信号ZCKEを受けるNAND回路41と、NAND回路40および41の出力信号を受ける2入力NOR回路42と、NOR回路42の出力信号を反転してセルフリフレッシュモード指示信号ZSELFを発生するインバータ43を含む。補のライトイネーブル信号ZWEおよび補のクロックイネーブル信号ZCKEは、それぞれ、外部ライトイネーブル信号ext. WE、および外部クロックイネーブル信号ext. CKEの反転信号である。

【0063】コマンドデコーダ回路30は、さらに、補のクロックイネーブル信号ZCKEを所定時間遅延する遅延回路44と、遅延回路44の出力信号と補のクロックイネーブル信号ZCKEを受けるNAND回路45と、NAND回路45の出力信号を反転するインバータ46と、インバータ46の出力信号とバンクB0のリフレッシュ状態指示信号RFSOを受けてリフレッシュ完了指示信号EXITを発生するNAND回路47を含む。次に、この図2に示すコマンドデコーダ回路30の動作を図3に示すタイミングチャート図を参照して説明する。

【0064】セルフリフレッシュエントリコマンドが印加されるとき、外部クロック信号ext. CLKの立上がりエッジにおいてチップセレクト信号CS、ロウアドレスストローブ信号RASおよびコラムアドレスストローブ信号CASがHレベルに設定され、かつライトイネーブル信号WEがLレベル、すなわち補のライトイネー

ブル信号ZWEがHレベルに設定される。クロックイネーブル信号ZCKEは次サイクルにおいて内部クロック信号CLKの発生を許可する信号であり、セルフリフレッシュエントリコマンド印加時、Hレベルに設定される。したがって、NAND回路40および41の出力信号が内部クロック信号CLKの立上がりにより同期してLレベルとなり、応じてNOR回路42の出力信号がHレベルとなり、したがってインバータ43からのセルフリフレッシュモード指示信号ZSELFがLレベルの活性状態となる。後に説明するように、このセルフリフレッシュモード指示信号ZSELFの活性化にตอบสนองして、バンクB0のリフレッシュ状態指示信号RFSOがHレベルの活性状態へ駆動される。セルフリフレッシュモード時には、通常、消費電力を低減するため、外部クロック信号ext. CLKの発生は停止される。内部においてリフレッシュモード指示信号ZSELFの活性化にตอบสนองして各バンクのリフレッシュ動作が実行される。

【0065】セルフリフレッシュイグジットコマンドが印加されるときには、外部クロック信号ext. CLKは再び印加される。このセルフリフレッシュイグジットコマンド印加時には、ロウアドレスストローブ信号RAS、コラムアドレスストローブ信号CASおよび補のライトイネーブル信号ZWEは、セルフリフレッシュエントリコマンドと別の論理状態に設定される。クロックイネーブル信号ZCKEがLレベルとなり、インバータ回路46の出力信号がHレベルとなる。バンクB0がリフレッシュ状態にある間、リフレッシュ状態指示信号RFSOはHレベルの活性状態である。したがって、NAND回路47がインバータとして動作し、インバータ46からの出力信号を反転し、セルフリフレッシュ完了指示信号EXITをHレベルへ立上げる。そのセルフリフレッシュ完了指示信号EXITがHレベルへ駆動されると、応じて、バンクB0のリフレッシュ状態指示信号RFSOがLレベルの非活性状態へ駆動され、以降、セルフリフレッシュ完了指示信号EXITが、Lレベルに固定される。

【0066】バンクB0のリフレッシュ状態指示信号RFSOをコマンドデコーダ回路30のNAND回路37へ与えておくことにより、通常動作モード時においてセルフリフレッシュ状態指示信号RFSOがLレベルのときに、クロックイネーブル信号ZCKEがLレベルの活性状態へ駆動されても、確実に、このセルフリフレッシュ完了指示信号EXITはHレベルに保持され、誤ったセルフリフレッシュ完了指示信号が発生するのを防止することができる。

【0067】〔RFS信号発生回路31の構成〕図4は、図1に示すRFS信号発生回路31の構成を示す図である。図4において、RFS信号発生回路31は、バンクB0のリフレッシュ状態指示信号RFSOを所定期間遅延する遅延回路48と、バンクB0に対する

10

20

30

40

50

バンク活性化信号 ZRASR0 を所定時間遅延する遅延回路 49 と、遅延回路 48 および 49 の出力信号とリフレッシュ完了指示信号 EXIT を受ける NAND 回路 50 と、セルフリフレッシュモード指示信号 ZSELF の活性化時セットされ、かつ NAND 回路 50 の出力信号の L レベルのときにリセットされるフリップフロップを構成する NAND 回路 51 および 52 と、NAND 回路 52 の出力信号を反転してバンク B0 に対するリフレッシュ状態指示信号 RFS0 を生成するインバータ 53 を含む。NAND 回路 51 は、セルフリフレッシュ指示信号 ZSELF と NAND 回路 52 の出力信号を受ける。NAND 回路 52 は、NAND 回路 51 の出力信号と NAND 回路 50 の出力信号を受ける。

【0068】この RFS 信号発生回路 31 は、さらに、バンク B1 に対するリフレッシュ状態指示信号 RFS1 を所定時間遅延する遅延回路 54 と、バンク B0 のバンク活性化信号 ZRASR1 を所定時間遅延する遅延回路 55 と、これらの遅延回路 54 および 55 の出力信号とリフレッシュ完了指示信号 EXIT を受ける NAND 回路 56 と、セルフリフレッシュモード指示信号 ZSELF の活性化にตอบสนองしてセットされかつ NAND 回路 56 の出力信号が L レベルのときにリセットされるフリップフロップを構成する AND 回路 57 および 58 と、NAND 回路 58 の出力信号を反転してバンク B1 に対するリフレッシュ状態指示信号 RFS1 を生成するインバータ 59 と、インバータ 53 および 59 の出力信号を受ける NOR 回路 60 と、NOR 回路 60 の出力信号を反転して全バンクリフレッシュ状態指示信号 RFSOR を生成するインバータ回路 61 を含む。NAND 回路 57 は、リフレッシュモード指示信号 ZSELF と NAND 回路 58 の出力信号とを受ける。NAND 回路 58 は、NAND 回路 57 の出力信号と NAND 回路 56 の出力信号とを受ける。次に、この図 4 に示す RFS 信号発生回路 31 の動作を図 5 に示す信号波形図を参照して説明する。

【0069】セルフリフレッシュエントリコマンドが印加されると、セルフリフレッシュモード指示信号 ZSELF が所定時間 L レベルの活性状態となり、NAND 回路 51 および 57 の出力信号が H レベルとなる。半導体記憶装置においては、まだセルフリフレッシュは実行されていないため、リフレッシュ状態指示信号 RFS0 および RFS1 はともに L レベルであり、遅延回路 48 および 54 の出力信号が L レベルであり、応じて NAND 回路 50 および 56 の出力信号はそれぞれ H レベルである。したがってセルフリフレッシュモード指示信号 ZSELF の活性化にตอบสนองして NAND 回路 52 および 58 の出力信号がそれぞれ、L レベルへ駆動され、応じてインバータ回路 53 および 59 からのリフレッシュ状態指示信号 RFS0 および RFS1 が H レベルへ駆動され、バンク B0 および B1 がセルフリフレッシュ状態に入っ

たことが知らされる。応じて、インバータ 61 からの全バンクリフレッシュ状態指示信号 RFSOR も H レベルの活性状態へ駆動される。リフレッシュ状態指示信号 RFS0 が H レベルに立上ると、図 2 に示すように、補のクロックイネーブル信号 ZCKE を受ける遅延回路 44 の有する遅延時間 D が経過した後に、セルフリフレッシュ完了指示信号 EXIT が L レベルに立下り、この半導体記憶装置がリフレッシュモードに入ったことが設定される。

【0070】このリフレッシュ状態において、所定のシーケンスでバンク活性化信号 ZRASR0 および ZRASR1 がそれぞれ所定期間 L レベルの活性状態へ駆動され、バンク B0 および B1 がそれぞれ互いに異なるタイミングでリフレッシュ動作を実行する。

【0071】セルフリフレッシュイグジットコマンドが印加されると、セルフリフレッシュ完了指示信号 EXIT が H レベルに立上がる。次いで、バンク活性化信号 ZRASR0 および ZRASR1 およびリフレッシュ状態指示信号 RFS0 および RFS1 が L レベルとなり、応じて全バンクリフレッシュ状態指示信号 RFSOR が L レベルの非活性状態となり、内部がプリチャージ状態に復帰する。

【0072】リフレッシュ状態指示信号 RFS0 および RFS1 は、それぞれ対応のバンク活性化信号 ZRASR0 および ZRASR1 が H レベルのときに、L レベルへ駆動される（セルフリフレッシュモード解除時）。したがって、たとえばバンク活性化信号 ZRASR0 が L レベルの活性状態のときに、セルフリフレッシュイグジットコマンドが与えられ、セルフリフレッシュ完了指示信号 EXIT が H レベルに立上っても、このバンク B0 に対するバンク活性化信号 ZRASR0 が H レベルの活性状態となるまで、リフレッシュ状態指示信号 RFS0 は H レベルの活性状態を維持する。バンク B0 において、リフレッシュ動作が完了した後に、セルフリフレッシュモードの解除が実行される。

【0073】[RASR 信号発生回路 33 の構成] 図 6 (A) は、図 1 に示す RASR 信号発生回路 33 の構成の一例を示す図である。図 6 (A) において、RASR 信号発生回路 33 は、リフレッシュ状態指示信号 RFS0 を受けて所定時間遅延しかつ反転する遅延／反転回路 33a と、遅延／反転回路 33a の出力信号とリフレッシュ状態指示信号 RFS0 とを受ける AND 回路 33b と、AND 回路 33b の出力信号とリフレッシュ要求信号 ϕ_{req} を受ける OR 回路 33c と、OR 回路 33c の出力信号の立上がりに対応して所定時間 L レベルの活性状態となるメインバンク活性化信号 ZRASRM を発生するワンショットパルス発生回路 33d を含む。次に、この図 6 (A) に示す RASR 信号発生回路 33 の動作を図 6 (B) に示す信号波形図を参照して説明する。

【0074】セルフリフレッシュモードが指示され、セルフリフレッシュモード指示信号ZSELFが活性状態となると、リフレッシュ状態指示信号RFSOがHレベルの活性状態へ立上がる。遅延／反転回路33aおよびAND回路33bは、ワンショットパルス発生回路を構成しており、このリフレッシュ状態指示信号RFSOの立上がりに対応して、AND回路33bからの出力信号がHレベルに所定時間立上がる。応じてOR回路33cの出力信号がHレベルに立上がり、ワンショットパルス発生回路33dからのメインバンク活性化信号ZRASRMがLレベルの活性状態となる。

【0075】一方、このリフレッシュ状態指示信号RFSOの活性状態の間、所定周期で、図1に示すリフレッシュ周期制御回路32からリフレッシュ要求 ϕ_{req} が生成される。このリフレッシュ要求に応答して、ワンショットパルス発生回路33dが、メインバンク活性化信号ZRASRMを活性化する。したがって、セルフリフレッシュモードが指定されると、このリフレッシュモード指示（リフレッシュ要求）に従って、所定の周期でメインバンク活性化信号ZRASRMが活性化されて内部でリフレッシュ動作が実行される。最初のリフレッシュはリフレッシュ状態指示信号RFSOの活性化に対応して実行される。

【0076】[RASR遅延回路34の構成] 図7

(A)は、図1に示すRASR遅延回路34の構成を示す図である。図7(A)において、RASR遅延回路34は、メインバンク活性化信号ZRASRMを受けるインバータ62と、インバータ62の出力信号を反転してバンクB0に対する活性化信号ZRASROを発生するインバータ63と、メインバンク活性化信号ZRASRMを所定時間遅延する遅延回路64と、遅延回路64の出力信号を反転するインバータ65と、インバータ65の出力信号と全バンクリフレッシュ状態指示信号RFSORとを受けてバンクB1に対するバンク活性化信号ZRASR1を発生するNAND回路66を含む。インバータ62および63は、バッファ回路を構成する。次に、この図7(A)の動作を、図7(B)に示す信号波形図を参照して説明する。

【0077】セルフリフレッシュモードが指示されると、セルフリフレッシュモード指示信号の活性化に従って全バンクリフレッシュ状態指示信号RFSORがHレベルに立上がり、NAND回路66がインバータとして動作する。また、セルフリフレッシュモードが指示されると、図6(A)に示すRASR信号発生回路33から、ワンショットのパルスが発生され、メインバンク活性化信号ZRASRMがLレベルの活性状態となり、応じてバンクB0に対するバンク活性化信号ZRASROがLレベルの活性状態となる。バンク活性化信号ZRASROが活性状態となった後、遅延回路64が有する遅延時間が経過すると、バンクB1に対するバンク活性化

信号ZRASR1が活性化される。これらのバンク活性化信号ZRASROおよびZRASR1の活性化期間が互いに重なり合わないよう遅延回路64の遅延時間が設定される。すなわち、遅延回路64が有する遅延時間は、メインバンク活性化信号ZRASRMの活性化期間よりも長くされる。所定時間が経過すると、再び、RASR信号発生回路33からのメインバンク活性化信号ZRASRMが活性化され、応じてバンク活性化信号ZRASROおよびZRASR1が順次活性化される。

【0078】メインバンク活性化信号ZRASRMの活性状態のときにセルフリフレッシュイグジットコマンドが与えられた場合を想定する。このときに、バンク活性化信号ZRASROが活性状態にあり、このバンク活性化信号ZRASROが非活性状態となると、図4に示すように、RFS信号発生回路31からのリフレッシュ状態指示信号RFSORがLレベルの非活性状態となる。バンクB1に対するリフレッシュ状態指示信号RFS1は、図4に示すように、セルフリフレッシュイグジットコマンドが与えられると非活性化される。このバンク活性化信号ZRASROの非活性化により、全バンクリフレッシュ状態指示信号RFSORが非活性化されると、NAND回路66が出力するバンク活性化信号ZRASR1はHレベルの非活性状態に固定される。したがって、このバンクB0のリフレッシュ動作期間中にセルフリフレッシュイグジットコマンドが与えられた場合、このバンクB0に対するリフレッシュ動作完了後、即座にセルフリフレッシュモードが解除され、バンクB1に対するリフレッシュ動作は行なわれない。

【0079】バンクB1のリフレッシュ動作期間中にセルフリフレッシュイグジットコマンドが与えられた場合には、このバンクB1に対するリフレッシュ動作完了後セルフリフレッシュモードが解除される（信号RFSORがLレベルの非活性状態となる）。

【0080】したがって、この図7(A)に示すように、リフレッシュ動作中にセルフリフレッシュイグジットコマンドが与えられた場合、その対応のバンクのリフレッシュ動作が完了後セルフリフレッシュモードが解除される。したがって1つのバンクのリフレッシュ期間経過後には、この半導体記憶装置の内部はプリチャージ状態に復帰し、バンク活性化信号ZRASROおよびZRASR1が互いに重なり合うように活性化された場合のようにリフレッシュ期間が長くなるのを防止することができ、セルフリフレッシュモード解除後の次のコマンドを印加するまでに必要とされる仕様値 t_{RC} を短くすることができる。

【0081】[ロウ系制御信号発生回路26aおよび26bの構成] 図8(A)は、図1に示すロウ系制御信号発生回路26aの構成を示す図である。図8(A)において、ロウ系制御信号発生回路26aは、バンク活性化

信号ZRASR0を受けるインバータ67と、インバータ67の出力信号を反転してアドレスラッチ指示信号ZQAL0を生成するインバータ68と、インバータ68の出力信号を反転してワード線活性化信号RXT0を生成するインバータ69を含む。インバータ68の出力信号は、また立下がり遅延パルスの形でセンスアンプ制御回路へ与えられる。

【0082】図8(B)は、図1に示すバンクB1に対するロウ系制御信号発生回路26bの構成を示す図である。図8(B)において、ロウ系制御信号発生回路26bは、バンク活性化信号ZRASR1を受けるインバータ70と、インバータ70の出力信号を反転してアドレスラッチ指示信号ZQAL1を生成するインバータ71と、インバータ71の出力信号を反転してワード線活性化信号RXT1を生成するインバータ72を含む。インバータ71の出力信号はまた、その立下がり遅延されて、バンクB1のセンスアンプ回路の動作を制御するセンスアンプ制御回路へセンスアンプ活性化信号として与えられる。次に、この図8(A)および(B)に示すロウ系制御信号発生回路26aおよび26bの動作を図8(C)に示す信号波形図を参照して説明する。

【0083】図8(C)においては、1つのロウ系制御信号発生回路の動作を示す。バンク活性化信号ZRASR(ZRASR0またはZRASR1)が活性化されると、応じてアドレスラッチ指示信号ZQAL(ZQAL0またはZQAL1)がLレベルの活性状態となる(インバータ67および68ならびに70および71は、遅延バッファとして動作する)。次に、後に説明するように、ロウアドレス発生回路28aまたは28bが、内部アドレスカウンタ36からのリフレッシュアドレスQADD<0:m>を取込みラッチする。

【0084】次いで、インバータ69または72からのワード線活性化信号RXT(RXT0またはRXT1)が活性化され、リフレッシュアドレスに従って、アドレス指定されたワード線WLの電位がワード線活性化信号RXTに従って上昇する。このワード線WLに接続されるメモリセルデータが、対応のビット線BLまたは/BLに読出される。図8(C)においては、Hレベルのメモリセルデータが読出された場合の動作波形を一例として示す。

【0085】ワード線WLが選択され、ビット線BLおよび/BLに十分な大きさの読出電圧が生じると、図示しないセンスアンプ制御回路によりセンスアンプ回路が活性化されてセンス動作を行ない、ビット線BLおよび/BLの電圧差を増幅し、ビット線BLおよび/BLをメモリセルデータに応じて電源電圧Vccおよび接地電圧Vssを電圧レベルに駆動する。ビット線BLおよび/BLの電圧差が電源電圧および接地電圧レベルに拡大されると、メモリセルから読出されたデータが元のメモリセルに書込まれリストア動作(再書込)が行なわ

れ、メモリセルデータのリフレッシュが行なわれる。

【0086】所定時間が経過すると、バンク活性化信号ZRASRがHレベルの非活性化状態となり、アドレスラッチ指示信号ZQALがHレベルとなり、またワード線活性化信号RXTがLレベルの非活性状態となる。アドレスラッチ指示信号ZQALがHレベルとなると、後に説明するように、ロウアドレス発生回路28aおよび28bはラッチ状態となり、リフレッシュアドレスを保持する、またはリセットされる。

【0087】ワード線活性化信号RXTの非活性化にตอบสนองして選択ワード線WLがLレベルの非活性状態となり、またセンスアンプ回路が非活性化され、ビット線BLおよび/BLはプリチャージ電圧(中間電圧レベル)に復帰する。これにより1つのリフレッシュ動作サイクルが完了する。

【0088】[カウントアップ信号発生回路] 図9

(A)は、図1に示すカウントアップ信号発生回路35の構成を示す図である。図9(A)において、カウントアップ信号発生回路35は、バンク活性化信号ZRASR0を遅延する遅延回路73と、遅延回路73の出力信号を反転するインバータ74と、インバータ74の出力信号とバンク活性化信号ZRASR0を受けて信号φ0を出力するNAND回路75と、バンク活性化信号ZRASR1を所定時間遅延する遅延回路76と、遅延回路76の出力信号を反転するインバータ77と、インバータ77の出力信号とバンク活性化信号ZRASR1を受けて信号φ1を出力するNAND回路78と、フリップフロップを構成するNAND回路79および80を含む。NAND回路79は、信号φ0とNAND回路80の出力信号とを受ける。NAND回路80は、信号φ1と電源投入検出信号ZPORとNAND回路79の出力信号とを受ける。電源投入検出信号ZPORは、この半導体記憶装置の電源投入時、所定期間Lレベルとなり、内部回路をリセットするために用いられる。通常動作モード時においては、電源投入検出信号ZPORはHレベルに固定される。

【0089】カウントアップ信号発生回路35は、さらに、NAND回路79の出力信号とバンク活性化信号ZRASR0を受けるNOR回路81と、NOR回路81の出力信号を反転してカウントアップ指示信号ZCNTUPを生成するインバータ82を含む。

【0090】遅延回路73、インバータ74およびNAND回路75は、ワンショットパルス発生回路を構成し、バンク活性化信号ZRASR0の立上がりに対応して信号φ0を所定時間Lレベルに駆動する。同様、遅延回路76、インバータ77およびNAND回路78は、バンク活性化信号ZRASR1の立上がりに対応してワンショットのパルスを発生するワンショットパルス発生回路を構成する。このNAND回路78の出力信号φ1は、バンク活性化信号ZRASR1の立上がりに対応し

て所定期間Lレベルに駆動される。次に、図9(A)に示すカウントアップ信号発生回路35の動作を図9

(B)に示す信号波形図を参照して説明する。

【0091】初期状態においては、信号φ0がHレベルであり、電源投入検出信号ZPORの活性化(Lレベル)にตอบสนองしてNAND回路80の出力信号がHレベルとなり、NAND回路79の出力ノードNDはLレベルに設定される。カウントアップ指示信号ZCNTUPはHレベルにある。

【0092】セルフリフレッシュエントリコマンドEN0が与えられると、まずバンク活性化信号ZRASR0がLレベルの活性状態へ駆動される。ノードNDがLレベルであるため、NOR回路81の出力信号がHレベルとなり、応じてインバータ82からのカウントアップ指示信号ZCNTUPがLレベルの活性状態へ駆動される。応じて、図1に示す内部アドレスカウンタ36がカウント動作を行ない、そのカウント値を更新(増分)する。

【0093】バンクB0のリフレッシュ動作が完了し、バンク活性化信号ZRASR0がHレベルに立上ると、NAND回路75からの信号φ0がLレベルとなり、応じてノードNDがHレベルにセットされる。また、バンク活性化信号ZRASR0がHレベルに立上ると、NOR回路81の出力信号がLレベルとなり、応じてカウントアップ指示信号ZCNTUPがHレベルに立上がる。続いて、バンク活性化信号ZRASR1がLレベルの活性状態へ駆動され、バンクB1のリフレッシュが行なわれる。バンクB1のリフレッシュが完了すると、バンク活性化信号ZRASR1がHレベルに立上がり、応じてNAND回路78からの信号φ1がLレベルとなる。信号φ0は、Hレベルにあるため、信号φ1の立下がりに対応して、NAND回路79からノードNDへの出力信号がLレベルに立下がる。バンク活性化信号ZRASR0は、この状態ではHレベルであり、カウントアップ指示信号ZCNTUPはHレベルを維持する。

【0094】再び所定期間が経過すると、バンク活性化信号ZRASR0がLレベルの活性状態となり、ノードNDがLレベルであるため、カウントアップ指示信号ZCNTUPがLレベルとなり、図1に示す内部アドレスカウンタ36のカウント値が更新され、新たなリフレッシュアドレスが生成されてリフレッシュが実行される。バンク活性化信号ZRASR0がHレベルに立下ると、応じて信号φ0がLレベルに所定期間立下がり、ノードNDがHレベルとなる。続いて、バンク活性化信号ZRASR1が活性状態へ駆動される。このバンク活性化信号ZRASR1の活性状態のときにセルフリフレッシュイグジットコマンドEX0が与えられたとき、バンク活性化信号ZRASR1の非活性化により、図4に示す全バンクリフレッシュ状態指示信号RFSORが非活性状態となる。このバンク活性化信号ZRASR1の非

活性化にตอบสนองして信号φ1が所定期間Lレベルとなり、応じてノードNDがLレベルに立下がる。

【0095】この状態で、セルフリフレッシュエントリコマンドEN1が与えられると、ノードNDがLレベルであり、バンク活性化信号ZRASR0が活性化にตอบสนองしてカウントアップ指示信号ZCNTUPがLレベルとなり、新たなリフレッシュアドレスが生成され、この新たなリフレッシュアドレスに従ってリフレッシュが実行される。続いて、バンク活性化信号ZRASR1がLレベルの活性状態となり、信号φ1がバンクB1のリフレッシュ動作完了後、バンク活性化信号ZRASR1の立上がりに対応してLレベルに所定期間立下がり、応じてノードNDがLレベルに駆動される。

【0096】次にバンク活性化信号ZRASR0が活性状態になり、バンクB0のセルフリフレッシュが実行されているときにセルフリフレッシュイグジットコマンドEX1が与えられると、バンク活性化信号ZRASR0の非活性化にตอบสนองして、半導体記憶装置の内部がプリチャージ状態となる。このバンク活性化信号ZRASR0の非活性化にตอบสนองして信号φ0が所定期間Lレベルとなり、応じてノードNDがHレベルに駆動される。またカウントアップ指示信号ZCNTUPが、バンク活性化信号ZRASR0の非活性化にตอบสนองしてHレベルに立上がる。

【0097】バンク活性化信号ZRASR1は非活性状態を維持し、バンクB1に対するリフレッシュは行なわれない。

【0098】この状態で、セルフリフレッシュエントリコマンドEN2が与えられてバンク活性化信号ZRASR0がLレベルの活性状態となっても、ノードNDはHレベルにあり、カウントアップ指示信号ZCNTUPはHレベルを維持する(NOR回路81の出力信号がLレベルである)。セルフリフレッシュエントリコマンドENが与えられても、カウントアップ指示信号ZCNTUPはHレベルにあり、図1に示す内部アドレスカウンタ36はカウント値更新動作は行なわず、先のセルフリフレッシュエントリコマンドEN1により更新した内部リフレッシュアドレスを維持しており、したがって先のサイクルリフレッシュと同じリフレッシュアドレスを用いてバンクB0、およびB1に対するリフレッシュが実行される。

【0099】[ロウアドレス発生回路28a, 28bの構成] 図10は、図1に示すロウアドレス発生回路28aおよび28bの構成を示す図である。図10において、ロウアドレス発生回路28aは、アドレスラッチ指示信号ZQALOを受けるインバータ83と、インバータ83の出力信号とアドレスラッチ指示信号ZQALOとに従って活性化され、内部アドレスカウンタ36からのリフレッシュアドレスQADD<0:m>を反転するトライステートインバータバッファ回路84と、トライ

ステートインバータバッファ回路84の出力信号を反転して内部ロウアドレスビット $RA0<0:m>$ を生成するインバータ回路85と、インバータ回路85の出力信号を反転してインバータ回路85の入力へ伝達するインバータ回路86を含む。トライステートインバータバッファ回路84は、アドレスラッチ指示信号 $ZQAL0$ がLレベルのときに活性化され、インバータ回路として動作し、かつアドレスラッチ指示信号 $ZQAL0$ がHレベルのときに非活性化されて出力ハイインピーダンス状態となる。これらのインバータ回路84-86は、リフレッシュアドレス $QADD<0:m>$ の各ビットに対して設けられるインバータを含む。

【0100】ロウアドレス発生回路28bは、アドレスラッチ指示信号 $ZQAL1$ を反転するインバータ87と、アドレスラッチ指示信号 $ZQAL1$ とインバータ回路87の出力信号とに応答して活性化され、リフレッシュアドレス $QADD<0:m>$ を反転するトライステートインバータバッファ回路88と、トライステートインバータバッファ回路88の出力信号を反転して内部ロウアドレスビット $RA1<0:m>$ を生成するインバータ回路89と、インバータ回路89の出力信号を反転してインバータ回路89の入力部へ伝達するインバータ回路90を含む。このトライステートインバータバッファ回路88は、アドレスラッチ指示信号 $ZQAL1$ がLレベルのときに活性化され、インバータ回路として動作し、アドレスラッチ指示信号 $ZQAL1$ がHレベルのとき非活性化されて出力ハイインピーダンス状態となる。インバータ回路85および86が、ラッチ回路を構成し、またインバータ回路89および90が、ラッチ回路を構成する。次に、図10に示すロウアドレス発生回路28aおよび28bの動作を図11に示す信号波形図を参照して説明する。

【0101】カウントアップ指示信号 $ZCNTUP$ が活性化されると、図1に示す内部アドレスカウンタ36のカウンタ値が更新され、新たなリフレッシュアドレス $AD0$ が指定される。カウントアップ指示信号 $ZCNTUP$ が活性化されたときには、バンクB0に対するリフレッシュが行なわれ、アドレスラッチ指示信号 $ZQAL0$ がLレベルの活性状態となる。応じて、トライステートインバータバッファ回路84が活性化され、このリフレッシュアドレスビット $QADD<0:m>$ を取込みラッチし、内部ロウアドレス $RA0<0:m>$ として、この内部リフレッシュアドレスビット $QADD<0:m>$ が指定するアドレス $AD0$ を指定する。

【0102】ついで、バンクB1に対するリフレッシュが行なわれるとき、バンクB1に対するバンク活性化信号の活性化に応答して、アドレスラッチ指示信号 $ZQAL1$ がLレベルの活性状態となり、トライステートインバータバッファ回路88が内部アドレスカウンタ36からのリフレッシュアドレスビット $QADD<0:m>$ を

取込みラッチし、リフレッシュアドレス $AD0$ を指定する状態に内部ロウアドレスビット $RA1<0:m>$ が設定される。

【0103】以降、カウントアップ指示信号 $ZCNTUP$ が活性化されるごとに、リフレッシュアドレスが更新され、ロウアドレス発生回路28aおよび28bが応じて与えられたリフレッシュアドレスを取込みラッチする。カウントアップ指示信号 $ZCNTUP$ が活性化されない場合には、リフレッシュアドレス $QADD<0:m>$ の値が変化しない。カウントアップ指示信号 $ZCNTUP$ が活性化されるのは、すべてのバンクのリフレッシュが完了した状態において次に新たにリフレッシュを行なうリフレッシュ指示（オートリフレッシュ指示を含む）が与えられたときである。したがって、バンクB1のリフレッシュ前に、セルフリフレッシュイグジットコマンドが与えられた場合には、リフレッシュアドレスは変更されず、中断されたリフレッシュアドレスに従って再びリフレッシュがバンクB0から実行される。

【0104】次に、この発明の実施の形態1に従う半導体記憶装置のセルフリフレッシュモード時の動作について図12および図13を参照して説明する。図12において、時刻 t_d においてセルフリフレッシュエントリコマンドが与えられると、外部クロック信号 $extCLK$ の立上がり同期して、セルフリフレッシュ活性化指示信号 $ZSELF$ がLレベルの活性状態へ所定期間駆動される（図2参照）。このセルフリフレッシュ指示信号 $ZSELF$ の活性化に応答して、図4に示すように、 RF 信号発生回路3からのリフレッシュ状態指示信号 $RF S0$ および $RF S1$ がともに活性状態へ駆動される。リフレッシュ状態指示信号 $RF S0$ がHレベルへ駆動されると、コマンドデコーダ回路6においては、図2に示すように、クロックイネーブル信号 $ZCKE$ がHレベルとなって所定時間経過後、リフレッシュ完了指示信号 $EXIT$ がLレベルに立下がる。

【0105】また、セルフリフレッシュ指示信号 $ZSELF$ の活性化に応答して、セルフリフレッシュ状態指示信号 $RF S0$ が活性化されると、 $RASR$ 信号発生回路33からのメインバンク活性化信号 $ZRASRM$ が、図6(E)に示すように、Lレベルに立下がる。メインバンク活性化信号 $ZRASRM$ の活性化に応答して、 $RASR$ 遅延回路34からのバンクB0に対するバンク活性化信号 $ZRASR0$ が図7(A)に示すようにLレベルの活性状態へ駆動される。このバンク活性化信号 $ZRASR0$ の活性化に応答して、カウントアップ信号発生回路35は、図9(A)に示すように、カウントアップ指示信号 $ZCNTUP$ をLレベルに駆動し、応じて内部アドレスカウンタ36からのリフレッシュアドレス $QADD<0:m>$ が更新される。

【0106】また、このバンク活性化信号 $ZRASR0$ の活性化に応答して、ロウアドレスラッチ指示信号 ZQ

AL0が活性化され、リフレッシュアドレスQADD<0:m>がロウアドレス発生回路28aにより取込まれ(図10参照)、バンクB0に対する内部ロウアドレスビットRA0<0:m>が、リフレッシュアドレス#0000を指定する状態に設定される。また、このバンク活性化信号RASR0の活性化にตอบสนองして、ロウ系制御信号発生回路26aが、図8(A)に示すようにワード線活性化信号RXT0を活性状態へ駆動する。このワード線活性化信号RXT0の活性化にตอบสนองして、WL活性化回路29aが、アドレス指定されたワード線WL0<0>を選択状態へ駆動する。

【0107】このバンクB0に対するリフレッシュ動作が完了すると、カウントアップ信号発生回路35においては、その内部ノードNDが図9(A)に示すように、Hレベルに設定される。次いで、RASR遅延回路34からのバンク活性化信号ZRASR1が、図7(A)に示すように活性状態へ駆動されて、バンクB0に対するアドレスラッチ信号ZQAL1が活性化され、内部アドレスカウンタ36からのリフレッシュアドレスビットQADD<0:m>を取込み、ロウアドレス発生回路28bからの内部ロウアドレスビットRA1<0:m>がアドレス#0000を指定する状態となる。このバンク活性化信号ZRASR1の活性化にตอบสนองして、ロウ系制御信号発生回路26Bは、またワード線活性化信号RXT1を活性状態へ駆動する(図8(B)参照)。したがって、このバンクB1において、アドレス指定されたワード線WL1<0>が選択され、対応のセンスアンプ回路が活性化されて、このワード線WL1<0>に接続されるメモリセルのデータのリフレッシュが実行される。

【0108】バンクB1に対するリフレッシュ動作が完了し、バンク活性化信号ZRASR1が非活性状態となると、カウントアップ信号発生回路35においては、図9(A)に示すように、ノードNDがLレベルにリセットされる。所定期間が経過すると、リフレッシュ周期制御回路32からのリフレッシュ周期φreqが活性化され、RASR信号発生回路33が、図6(A)に示すように、メインバンク活性化信号ZRASRMを活性化する。メインバンク活性化信号ZRASRMの活性化にตอบสนองしてバンク活性化信号ZRASR0が活性化され、応じて図9(A)に示すように、カウントアップ指示信号ZCNTUPがLレベルの活性状態へ駆動され(ノードNDはLレベル)、内部アドレスカウンタ36からのリフレッシュアドレスビットQADD<0:m>の値が増分され、次のアドレス#0001を指定する状態に設定される。以後、先のリフレッシュ動作と同様にして、バンクB0およびB1に対するリフレッシュが、リフレッシュアドレス#0001に対して実行される。

【0109】このバンクB0およびB1に対するリフレッシュ動作が完了した後、時刻teにおいてセルフリフレッシュイグジットコマンドが印加される。このセルフ

リフレッシュイグジットコマンドが印加されると、図2に示すように、クロックイネーブル信号ZCKEの活性化にตอบสนองして、セルフリフレッシュ完了指示信号EFITがHレベルに立上がる。応じて、RFS信号発生回路31において、このセルフリフレッシュ完了指示信号EXITの活性化にตอบสนองして、図4に示すように、リフレッシュ状態指示信号RFS0およびRFS1がLレベルの非活性状態となり、またRFS信号発生回路31からの全バンクリフレッシュ状態指示信号RFSORが非活性状態のLレベルに駆動される。カウントアップ信号発生回路35においては、バンクB1に対するバンク活性化信号ZRASR1の非活性化時、内部のフリップフロップ(図9(A)に示すNAND回路79,80)がリセット状態に設定されている。内部アドレスカウンタ36からのリフレッシュアドレスビットQADD<0:m>は、アドレス#00001を指定する状態に維持される。

【0110】時刻tfにおいて、再びセルフリフレッシュエントリコマンドが印加されると、リフレッシュ活性化指示信号ZSELFが活性化され、再び、リフレッシュ状態指示信号RFS0およびRFS1がHレベルの活性状態へ駆動され、応じて、セルフリフレッシュ完了指示信号EXITがLレベルに駆動される。以降、再び、先の時刻tdにおけるセルフリフレッシュエントリコマンド印加時と同様の動作が実行される。このとき、バンク活性化信号ZRASR0の活性化にตอบสนองして、カウントアップ指示信号ZCNTUPが活性化され、内部アドレスカウンタ36のカウント値が増分され、リフレッシュアドレスビットQADD<0:m>が、アドレス#0002を指定する状態に設定され、以降、このアドレス#0002に対するリフレッシュ動作がバンクB0およびB1において実行される。

【0111】次に、バンクB0およびB1に対して、リフレッシュアドレスが指定する行に対応するワード線WL0<2>およびWL1<2>が選択状態へ駆動され、これらの選択ワード線に接続されるメモリセルのデータのリフレッシュが実行される。

【0112】次に、図14および図15を参照して、リフレッシュ動作時にセルフリフレッシュイグジットコマンドが印加された場合の動作について説明する。図14において、時刻tgにおいてセルフリフレッシュエントリコマンドが印加されると、先の図12に示す動作と同様、バンク活性化信号ZRASR0およびZRASR1が活性化され、リフレッシュアドレス#0000に従ってバンクB0およびB1においてワード線が選択されてリフレッシュが実行される。

【0113】時刻thにおいて、バンクB0に対するリフレッシュ動作期間中にセルフリフレッシュイグジットコマンドが印加された場合、リフレッシュ状態指示信号RFS0がHレベルの活性状態であり、セルフリフレ

シュイグジットコマンドに従って、図2に示すように、セルフリフレッシュ完了指示信号E F I TがHレベルに立上がり、応じて、図4に示すように、R F S信号発生回路31において、NAND回路56の入力信号はすべてHレベルとなり、応じてリフレッシュ状態指示信号R F S 1がLレベルの非活性状態となる。バンクB0のリフレッシュ動作が完了し、バンク活性化信号Z R A S R 0が非活性状態となると、図4に示すようにR F S信号発生回路31において、NAND回路50の入力信号はすべてHレベルとなり、応じてリフレッシュ状態指示信号R F S 0がLレベルに立上がり、応じて全バンクリフレッシュ状態指示信号R F S O RがLレベルに立下がる。したがってこのR F S信号発生回路31からの全バンクリフレッシュ状態指示信号R F S O RがLレベルの非活性状態となると、R A S R 遅延回路34においては、図7(A)に示すように、NAND回路66がディスエーブル状態とされ、バンクB1に対するバンク活性化信号Z R A S R 1は、Hレベルの非活性状態を維持する。

【0114】一方、カウントアップ信号発生回路35においては、図9(A)に示すように、ノードNDが、バンク活性化信号Z R A S R 0の非活性化にตอบสนองしてセットされてHレベルになる。したがって、この場合には、バンクB0においてワード線W L 0 < 1 > に接続されるメモリセルのデータのリフレッシュのみが実行されている。

【0115】次に、図15に示すように、時刻t_iにおいて再びセルフリフレッシュエントリコマンドが印加されると、セルフリフレッシュ指示信号Z S E L FがLレベルの活性状態とされ、リフレッシュ状態指示信号R F S 0およびR F S 1がHレベルへ駆動され、またリフレッシュ完了指示信号E X I TがLレベルに立下がる。このセルフリフレッシュ指示信号Z S E L Fの活性化にตอบสนองしてメインバンク活性化信号Z R A S R Mが活性化され、応じてバンクB0に対するバンク活性化信号Z R A S R 0が活性化される。このとき、カウントアップ信号発生回路35においては、図9(A)に示すノードNDがHレベルにセットされており、バンク活性化信号Z R A S R 0がLレベルに駆動されても、NOR回路81の出力信号はLレベルであり、カウントアップ指示信号Z C N T U PはHレベルを維持する。したがって内部アドレスカウンタ36のカウント動作は行なわれず、リフレッシュアドレスは更新されない。したがって、アドレスラッチ指示信号Z Q A L 0がLレベルの活性状態となっても、ロウアドレス発生回路28aの出力するロウアドレスビットR A 0 < 0 : m > の指定するリフレッシュアドレスは変化せず、このリフレッシュアドレス#0001に対するリフレッシュ動作が実行される。一方、バンクB1に対するバンク活性化信号Z R A S R 1が活性化されると、ロウアドレス発生回路28bは、ロウ系制御

信号発生回路26bからのアドレスラッチ指示信号Z Q A L 1にตอบสนองしてこの内部アドレスカウンタ36からのリフレッシュアドレスビットQ A D D < 0 : m > を取込み、リフレッシュアドレス#0001に対するリフレッシュを実行する。したがって、時刻t_hにおけるセルフリフレッシュイグジットコマンドの印加により、リフレッシュが中断されたバンクB1に対するアドレス#0001に対するリフレッシュが実行される。このバンク活性化信号Z R A S R 1が非活性化されると、図9(A)に示すようにカウントアップ信号発生回路35において内部ノードNDがLレベルにリセットされ、次のバンク活性化信号Z R A S R 0の活性化にตอบสนองしてカウントアップ指示信号Z C N T U Pが活性化されて内部アドレスカウンタ36のカウント値が増分され、次のリフレッシュアドレス#0002が指定される。以降、所定の周期でリフレッシュ動作が実行される。

【0116】上述のように、バンクのリフレッシュタイミングを異ならせることにより、セルフリフレッシュイグジットコマンドが1つのバンクにおいてリフレッシュ動作中に印加されても、そのバンクのリフレッシュ動作完了後に半導体記憶装置の内部をプリチャージ状態に復帰させることができる。したがって、このバンク活性化信号Z R A S R Mの活性化期間t_{RAS}経過後には、半導体記憶装置はプリチャージ状態となり、次のセルフリフレッシュエントリコマンドまたはアクティブコマンドを受付けることができる。

【0117】また、セルフリフレッシュモードにおいてリフレッシュが中断されても、リフレッシュが行なわれないバンクに対しては次のセルフリフレッシュ動作サイクル時にセルフリフレッシュが行なわれるように構成しており、仮に、通常動作モード時にオートリフレッシュが印加されても、この内部アドレスカウンタ36のカウント値が更新されないため（オートリフレッシュ指示コマンド印加時において、セルフリフレッシュ指示信号Z S E L Fが再び活性状態となるように構成されればよい）、リフレッシュが中断されたメモリセルのリフレッシュサイクルが長くなるのを防止でき、この記憶データの消失が生じるのを防止することができる。

【0118】なお、上述の発明においては、バンクB0およびB1のリフレッシュが実行されたとき、次に再びバンクB0に対するリフレッシュが行なわれるときに内部アドレスカウンタ36のカウント値を更新している。しかしながら、このバンクB1のリフレッシュ動作完了後に、内部アドレスカウンタ36のカウント値を更新するように構成されてもよい。すなわち、バンクB1に対するバンク活性化信号Z R A S R 1の立上がりに対応してカウントアップ指示信号Z C N T U Pを活性状態へ駆動するように構成されてもよい。バンクB1のリフレッシュが実行されない場合、内部アドレスカウンタ36のカウント値が更新されず、次のセルフリフレッシュエ

トリコマンド印加時には、中断されたリフレッシュアドレスから再びリフレッシュを実行することができる。また、ロウアドレス発生回路26aおよび26bもバンク活性化信号の非活性化時にリセットされてもよい。

【0119】以上のように、この発明の実施の形態1に従えば、2つのバンクを有する半導体記憶装置において、バンクのリフレッシュ期間を互いに異ならせ、かつセルフリフレッシュイグジットコマンドによりリフレッシュ動作が中断された場合、リフレッシュアドレスの更新を停止させるように構成しているため、セルフリフレッシュイグジットコマンド印加後、1つのバンクのリフレッシュに要する時間経過後は、この半導体記憶装置をプリチャージ状態へ移行することができ、仕様値 t_{RC} が長くなるのを防止することができる。また、バンクのリフレッシュタイミングを異ならせており、電流消費を分散させることができ、内部回路を安定に動作させることができる。また、リフレッシュが中断された場合には、次のリフレッシュ動作時に同じリフレッシュアドレスからリフレッシュを行なうように構成されており、リフレッシュが中断されてメモリセルのリフレッシュサイクルが不必要に長くなるのを防止でき、記憶データの消失を防止することができる。

【0120】【実施の形態2】図16は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。図16に示す半導体記憶装置においては、バンク B_0-B_n が設けられる。これらのバンク B_0-B_n それぞれのワード線 $WL_0<0:M>-WL_n<0:M>$ をそれぞれ駆動するために、バンクそれぞれに対応して設けられるWL活性化回路を含むWL活性化回路群100が設けられる。このWL活性化回路群100のWL活性化回路をそれぞれ駆動するために、バンク B_0-B_n それぞれに対して設けられるロウ系制御信号発生回路を含むロウ系制御信号発生回路群96と、ロウ系制御信号発生回路群96に含まれるロウ系制御信号発生回路からのアドレスラッチ指示信号 $ZQAL_0-ZQAL_n$ にตอบสนองして内部アドレスカウンタ36からのリフレッシュアドレスビット $QADD<0:m>$ を取込み、WL活性化回路群100に含まれる対応のWL活性化回路へ内部アドレスビット $RA_0<0:m>-RA_n<0:m>$ を与えるロウアドレス発生回路を含むロウアドレス発生回路群99が設けられる。

【0121】ロウ系制御信号発生回路群96に含まれるロウ系制御信号発生回路（バンク制御回路）は、それぞれ、RASR遅延回路95からのバンク活性化信号 $ZRASR_0-ZRASR_n$ の活性化にตอบสนองして、ワード線活性化信号 RXT_0-RXT_n およびアドレスラッチ指示信号 $ZQAL_0-ZQAL_n$ を活性化する。

【0122】リフレッシュ制御回路は、コマンドデコード回路30からのセルフリフレッシュ指示信号 $ZSELF$ とリフレッシュ完了指示信号 $EXIT$ とバンク活性化

信号 $ZRASR_0-ZRASR_n$ を受け、バンク B_0 のリフレッシュ状態指示信号 RFS_0 を生成しかつ全バンクのリフレッシュ状態を示す全バンクリフレッシュ状態指示信号 $RFSOR$ を発生するRFS信号発生回路92と、バンクリフレッシュ状態指示信号 RFS_0 の活性化にตอบสนองして起動され所定の周期でリフレッシュ要求 ϕ_{req} を発生するリフレッシュ制御回路32と、バンクリフレッシュ状態指示信号 RFS_0 とリフレッシュ要求 ϕ_{req} に従ってメインバンク活性化信号 $ZRASRM$ を生成するRAS信号発生回路33と、バンク活性化信号 $ZRASR_0$ および $ZRASR_n$ に従ってカウントアップ指示信号 $ZCNTUP$ を発生する内部アドレスカウンタアップ信号発生回路97と、RASR信号発生回路33からのメインバンク活性化信号 $ZRASRM$ とRFS信号発生回路92からの全バンクリフレッシュ状態指示信号 $RFSOR$ に従ってバンク活性化信号 $ZRASR_0-ZRASR_n$ をそれぞれ互いに異なるタイミングで活性化するRASR遅延回路95を含む。

【0123】このRASR遅延回路95は、その構成は後に詳細に説明するが、バンク活性化信号 $ZRASR_0$ から順次バンク活性化信号を活性化し、最終にバンク活性化信号 $ZRASR_n$ を活性化する。カウントアップ信号発生回路97は、バンク活性化信号 $ZRASR_0$ が非活性化されるとセットされ、かつバンク活性化信号 $ZRASR_n$ が非活性化されるとリセットされるフリップフロップを含み、リセット状態においてバンク活性化信号 $ZRASR_0$ が活性化されるとカウントアップ指示信号 $ZCNTUP$ を活性化する。したがって、バンク $ZRASR_0-ZRASR_n$ がすべてリフレッシュされ、次に新たにバンク B_0 に対するリフレッシュが行なわれるときにカウントアップ指示信号 $ZCNTUP$ が活性化される。このカウントアップ指示信号 $ZCNTUP$ の活性化にตอบสนองして内部アドレスカウンタ36がそのリフレッシュアドレスビット $QADD<0:m>$ の値を更新（増分）する。

【0124】RASR遅延回路95は、全バンクリフレッシュ状態指示信号 $RFSOR$ が非活性化されると、以降のバンク活性化信号の活性化を禁止する。このときには、リフレッシュ動作が、途中で中断されるため、バンク活性化信号 $ZRASR_n$ が活性化されない。内部アドレスカウンタアップ信号発生回路97はセット状態を維持し、カウントアップ指示信号 $ZCNTUP$ は、新たにリフレッシュを行なうためにバンク活性化信号 $ZRASR_0$ が活性化されても活性化されず、内部アドレスカウンタ36の出力するリフレッシュアドレスは変化しない。したがって、この実施の形態2においても、リフレッシュ中断時には、中断されたリフレッシュアドレスから再びリフレッシュが実行される。

【0125】コマンドデコード回路30、RASR信号発生回路33の構成は図1において示した第1の実施の

形態におけるものと同じである。内部アドレスカウンタ3・6も、実施の形態1と同様、カウント回路で構成され、カウントアップ指示信号ZCNTUPの活性化時そのカウント値が更新される。ロウ系制御信号発生回路群96、ロウアドレス発生回路群99およびWL活性回路群100は、バンクB0-Bnに対応してそれぞれ設けられる回路を含み、各回路の構成は実施の形態1と同様である。次に、実施の形態1と異なる部分の具体的構成について順次説明する。

【0126】[RFS信号発生回路92の構成] 図17は、図16に示すRFS信号発生回路92の構成を示す図である。図17においては、リフレッシュ状態指示信号RFSi (i=0~n) に対するリフレッシュ状態指示信号発生部の構成を代表的に示す。このリフレッシュ状態指示信号RFSiを発生する部分は、リフレッシュ状態指示信号RFSiを遅延する遅延回路101と、バンク活性化信号ZRASRiを遅延する遅延回路102と、セルフリフレッシュ完了指示信号EXITと遅延回路101および102の出力信号とを受けるNAND回路103と、セルフリフレッシュ指示信号ZSELFの活性化に

応答してセットされかつNAND回路103の出力信号がLレベルのときにリセットされるフリップフロップを構成するNAND回路104および105と、NAND回路105の出力信号を反転してリフレッシュ状態指示信号RFSiを生成するインバータ106を含む。NAND回路104は、セルフリフレッシュ指示信号ZSELFとNAND回路105の出力信号とを受け、NAND回路105は、NAND回路104の出力信号とNAND回路103の出力信号とを受け、

【0127】このリフレッシュ状態指示信号RFSiを発生する部分の構成は、先の実施の形態1において図4を参照して説明した回路と同じ構成である。バンクそれぞれに対応して、このリフレッシュ状態指示信号発生部が設けられる。すなわち、リフレッシュ状態指示信号RFSiは、対応のバンクBiのリフレッシュ状態が解除されると、すなわちバンク活性化信号ZRASRiおよびセルフリフレッシュ完了指示信号EXITがともにHレベルとなると、Hレベルの活性状態からLレベルの非活性状態へ駆動され、対応のバンクのリフレッシュモードが解除されることを示す。このセルフリフレッシュ状態指示信号RFSiは、セルフリフレッシュ指示信号ZSELFの活性化に

応答してセットされてHレベルに駆動される。

【0128】RFS信号発生回路92は、さらに、バンクB0-Bnに対応するリフレッシュ状態指示信号RFS0-RFSnを受けるNOR回路115と、NOR回路115の出力信号を反転して全バンクリフレッシュ状態指示信号RFSORを生成するインバータ116を含む。この全バンクリフレッシュ状態指示信号RFSORは、リフレッシュ状態指示信号RFS0-RFSnがす

べてLレベルの非活性状態のときLレベルへ駆動される。すなわち、この全バンクリフレッシュ状態指示信号RFSORは、全バンクがリフレッシュモードから解除されて半導体記憶装置の内部がプリチャージ状態になったときにLレベルの活性状態とされ、少なくとも1つのバンクにおいてリフレッシュ動作が行なわれている場合には、Hレベルの活性状態を維持する。この全バンクリフレッシュ状態指示信号RFSORを利用して、リフレッシュ中断時において、活性状態のバンク活性化信号以降の活性化を禁止する。

【0129】なお、遅延回路101および102の遅延時間は2-3ns程度であり、信号のレーシングが生じるのを防止する。

【0130】[RASR遅延回路95の構成] 図18は、図16に示すRASR遅延回路95の構成を示す図である。図18において、このRASR遅延回路95は、バンク活性化信号ZRASR0-ZRASRnそれぞれに対応して並列に設けられる回路部分を含む。バンク活性化信号ZRASR0を発生する回路部分は、RASR信号発生回路33からのメインバンク活性化信号ZRASRMを受けるインバータ127と、インバータ127の出力信号を反転してバンク活性化信号ZRASR0を生成するインバータ128を含む。バンク活性化信号ZRASR1を発生する回路部分は、メインバンク活性化信号ZRASRMを所定時間遅延する遅延回路129と、遅延回路129の出力信号を反転するインバータ130と、インバータ130の出力信号と全バンクリフレッシュ状態指示信号RFSORとを受けてバンク活性化信号ZRASR1を生成するNAND回路131を含む。

【0131】以降、バンク活性化信号の番号が1つ増分されるごとに遅延回路が1段増分される。この遅延回路は、メインバンク活性化信号ZRASRMの活性化期間以上の遅延時間を有する。

【0132】バンク活性化信号ZRASRn-1を発生する回路部分は、メインバンク活性化信号ZRASRMを受ける(n-1)段の縦続接続される遅延回路132...133と、遅延回路133の出力信号を反転するインバータ134と、インバータ134の出力信号と全バンクリフレッシュ状態指示信号RFSORとを受けてバンク活性化信号ZRASRn-1を発生するNAND回路135を含む。

【0133】バンク活性化信号ZRASRnを発生する回路部分は、n段の縦続接続される遅延回路136...137および138と、遅延回路138の出力信号を反転するインバータ139と、インバータ139の出力信号と全バンクリフレッシュ状態指示信号RFSORとを受けてバンク活性化信号ZRASRnを生成するNAND回路140を含む。全バンクリフレッシュ状態指示信号RFSORがLレベルのときには、バンク活性化信号ZR

ASR1-ZRASRnはすべてHレベルの非活性化状態に固定される。

【0134】すなわち、図19に示すように、バンク活性化信号ZRASR0-ZRASRjは、この順に活性化され、バンク活性化信号ZRASRkの活性化期間中に、セルフリフレッシュイグジットコマンドが与えられた場合を考える。バンク活性化信号ZRASR0がHレベルであり、このセルフリフレッシュイグジットコマンドの印加により、セルフリフレッシュ完了指示信号EXITがHレベルに立上がる（図2参照）。セルフリフレッシュ完了指示信号EXITの立上がりに対応して、リフレッシュ状態指示信号RFS0-RFSnがすべてLレベルに立下がる（図17参照）。バンク活性化信号ZRASRkが非活性化状態となると、バンクBkに対するリフレッシュ動作が完了し、バンクBkのリフレッシュ状態指示信号RFSkがLレベルに立下がる（図17参照）。応じて、全バンクリフレッシュ状態指示信号RFSORがLレベルとなる。

【0135】この全バンクリフレッシュ状態指示信号RFSORがLレベルとなると、図18に示すように、NAND回路131、135および140がディスエーブル状態とされ、バンク活性化信号ZRASR1-ZRASRnがすべてHレベルに固定される。これにより、バンクのリフレッシュ動作を中断させることができる。セルフリフレッシュイグジットコマンド印加時、全バンクのリフレッシュが完了するまで待ち合わせる必要がなく、バンク数が増大しても、仕様値tRCが増大するのを防止することができる（1つのバンクのリフレッシュ動作完了まで待ち合わせればよいだけであるため）。

【0136】[カウントアップ信号発生回路97の構成] 図20は、図16に示す内部アドレスカウントアップ信号発生回路97の構成を示す図である。図20において、カウントアップ信号発生回路97は、バンク活性化信号ZRASR0を遅延する遅延回路153と、遅延回路153の出力信号を反転するインバータ154と、インバータ154の出力信号とバンク活性化信号ZRASR0を受けるNAND回路155と、バンク活性化信号ZRASRnを遅延する遅延回路156と、遅延回路156の出力信号を反転するインバータ157と、インバータ157の出力信号とバンク活性化信号ZRASRnとを受けるNAND回路158と、フリップフロップを構成するNAND回路159および160を含む。NAND回路159は、NAND回路155の出力信号とNAND回路160の出力信号とを受ける。NAND回路160は、NAND回路158の出力信号とNAND回路159の出力信号と電源投入検出信号ZPORとを受ける。

【0137】カウントアップ信号発生回路97は、さらに、NAND回路159の出力信号とバンク活性化信号ZRASR0を受けるNOR回路161と、NOR回路

161の出力信号を反転してカウントアップ指示信号ZCNTUPを生成するインバータ162を含む。

【0138】この図20に示すカウントアップ信号発生回路97は、先の実施の形態1において図9(A)を参照して説明したカウントアップ信号発生回路と、バンク活性化信号ZRASR1に代えてバンク活性化信号ZRASRnが用いられる点が異なるだけである。したがって、バンク活性化信号ZRASRnが活性化され、このバンクBnに対するリフレッシュ動作が完了すると、ノードNDがLレベルにリセットされる。したがって、バンクB0-Bnのリフレッシュ動作が中断された場合には、バンクBnのリフレッシュが実行されないため、バンク活性化信号ZRASRnはHレベルを維持し、NAND回路159および160で構成されるフリップフロップはリセットされずセット状態を維持する。

【0139】したがって、次のセルフリフレッシュエントリコマンドにより、バンク活性化信号ZRASR0が活性化されても、ノードNDはHレベルを維持し、応じてカウントアップ指示信号ZCNTUPはHレベルを維持し、内部アドレスカウンタ36はカウント動作を行わず、リフレッシュアドレスは更新されない。したがって、中断されたリフレッシュアドレスから再び、リフレッシュが所定のシーケンスですなわちバンクB0からバンクBnに向って順次行なわれる。したがって、リフレッシュ中断時においても、中断されたリフレッシュアドレスからリフレッシュが実行されるため、リフレッシュが中断されたバンクのリフレッシュサイクルが長くなるのを防止でき、安定に記憶データを保持することができる。

【0140】[ロウ系制御信号発生回路群96の構成] 図21は、図16に示すロウ系制御信号発生回路群96に含まれる1つのバンクに対するロウ系制御信号発生回路の構成を示す図である。図21においては、バンクBiに対して設けられるロウ系制御信号発生回路の構成を代表的に示す。このロウ系制御信号発生回路は、バンク活性化信号ZRASRiを受けるインバータ141と、インバータ141の出力信号を反転してアドレスラッチ指示信号ZQALiを生成するインバータ142と、インバータ142の出力信号を反転してワード線活性化信号RXTiを生成するインバータ143を含む。この図21に示すロウ系制御信号発生回路がバンクB0-Bnにそれぞれ対応して配置される。この図21に示すロウ系制御信号発生回路の構成は、先の実施の形態1において図8(A)および(B)において示した回路と同じである。このロウ系制御信号発生回路は、またセンスアンプを活性化するためのセンスアンプ活性化信号を、バンク活性化信号ZRASRiの活性化にตอบสนองして発生する。したがって、このバンク活性化信号ZRASRiは、バンクB0-Bnそれぞれに対して、活性化タイミングが異ならされており、各バンク単位で、ワード線選

択タイミングをバンク数が増大しても互いに異ならせることができる。

【0141】[ロウアドレス発生回路群99の構成] 図22は、図16に示すロウアドレス発生回路群99に含まれる1つのバンクB_iに対するロウアドレス発生回路の構成を示す図である。図22において、バンクB_i

($i = 0 - n$) に対するロウアドレス発生回路は、対応のロウ系制御信号発生回路から与えられるバンクアドレスラッチ指示信号ZQAL_iを受けるインバータ163と、インバータ163の出力信号とアドレスラッチ指示信号ZQAL_iとに従って選択的に活性化され、内部アドレスカウンタ36からのリフレッシュアドレスビットQADD<0:m>を反転するトライステートインバータバッファ回路164と、このトライステートインバータバッファ回路164の出力信号を反転してバンクB_iに対するロウアドレスビットRA_i<0:m>を生成するインバータ回路165と、インバータ回路165の出力信号を反転してインバータ回路165の入力部へ伝達するインバータ回路166を含む。

【0142】この図22に示すロウアドレス発生回路の構成も、先の実施の形態1において図10を参照して説明したロウアドレス発生回路の構成と同じである。ラッチ指示信号ZQAL_iがLレベルの活性状態となると、トライステートインバータバッファ回路164が動作し、リフレッシュアドレスビットQADD<0:m>を反転し、インバータ回路165および166がこのトライステートインバータバッファ回路164の出力信号をラッチする。

【0143】バンクB₀ - B_nそれぞれに対応してロウアドレス発生回路を設け、これらのロウアドレス発生回路に対応のロウ系制御信号発生回路からのラッチ指示信号ZQAL_iに従って選択的にラッチ動作をさせることにより、各バンク単位で互いに独立にロウ選択動作を行なわせることができ、応じてリフレッシュタイミングを異ならせてリフレッシュを行なわせることができる。

【0144】この実施の形態2における半導体記憶装置のリフレッシュ動作は、実施の形態1のバンク数2を、バンク数($n + 1$)に拡張した場合の動作と同じである。リフレッシュ中断時においては、リフレッシュシーケンスにおける以降のバンク活性化信号が非活性化され、活性状態のバンク活性化信号の非活性化にตอบสนองして、この半導体記憶装置の内部がプリチャージ状態に復帰する。このときには、図20に示すカウントアップ信号発生回路97はノードNDがセット状態にあり、次にセルフリフレッシュエントリコマンドが印加されても、内部アドレスカウンタがカウント動作を行わず、中断されたリフレッシュアドレスからのリフレッシュが実行される。

【0145】なお、この実施の形態2においても、所定のシーケンスで活性化されるバンク活性化信号ZRAS

R₀ - ZRAS_{R_n}のうち、この所定のシーケンスの最後に活性化されるバンク活性化信号ZRAS_{R_n}が活性化された後に非活性化されるとワンショットのパルス信号を発生して内部アドレスカウンタにカウント動作を行なわせるように構成してもよい。1つのリフレッシュシーケンス完了時にリフレッシュアドレスの更新が行なわれ、次のリフレッシュシーケンスの開始を待つ。この場合においても、同様の効果を得ることができる。

【0146】以上のように、この発明の実施の形態2に従えば、バンク数が多い場合においても、各バンクごとにリフレッシュタイミング(期間)を異ならせ、リフレッシュ中断時においては1つのバンクのリフレッシュ完了後(セルフリフレッシュイクジットコマンド印加時リフレッシュ動作を行なっている場合)、リフレッシュシーケンスにおける以降のバンクの活性化を停止させており、セルフリフレッシュイクジットコマンド印加後、速いタイミングで、半導体記憶装置内部をプリチャージ状態に復帰させることができ、仕様値 t_{RC} が増大するのを抑制することができる。

【0147】また、バンクごとにリフレッシュタイミングを異ならせており、ワード線選択およびセンスアンプ活性化タイミングも応じて異なっており、電流消費が分散され、ピーク電流電源ノイズが生じ、回路が誤動作するのを防止することができる。

【0148】[実施の形態3] 図23は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。この実施の形態3においては、メモリアレイは、バンクB₀ - B_{2n+1}に分割される。これらのバンクB₀ - B_{2n+1}が、偶数バンクB₀、B₂、…B_{2n}と奇数バンクB₁、B₃、…B_{2n+1}に分割される。偶数バンクおよび奇数バンク単位でリフレッシュタイミング(期間)を異ならせる。

【0149】バンクB₀ - B_{2n+1}は、ワード線群WL₀<0:M> - WL_{2n+1}<0:M>をそれぞれ含む。ここで、Mは $2^{n+1} - 1$ である。

【0150】WL活性回路群188は、バンクB₀ - B_{2n+1}それぞれに対応して設けられるWL活性回路を含み、ロウアドレス発生回路群187から与えられるロウアドレスRA₀<0:m> - RA_{2n+1}<0:m>をそれぞれ受け、ロウ系制御信号発生回路群184から与えられるワード線活性化信号RXT_EVENおよびRXT_ODDに従ってアドレス指定された行に対応するワード線を選択状態へ駆動する。リフレッシュ制御回路は、外部からの制御CS、CKE、RAS、CASおよびWEの内部クロック信号CLKの立上がりエッジにおける論理レベルに従ってセルフリフレッシュ指示信号ZSELFを活性状態へ駆動し、かつ偶数バンクリフレッシュ状態指示信号RFS_EVENとセルフリフレッシュイクジットコマンドとに従ってセルフリフレッシュ完了指示信号EXITを生成するコマンドデコーダ回路

179と、このコマンドデコーダ回路179からのセルフリフレッシュ指示信号ZSELFとセルフリフレッシュ完了指示信号EXITと偶数バンク活性化信号ZRASR__EVENと奇数バンク活性化信号ZRASR__ODDとに従って偶数バンクリフレッシュ状態指示信号RFS__EVENおよび全バンクリフレッシュ状態指示信号RFSORを生成するRFS信号発生回路180と、RFS信号発生回路180からの偶数バンクリフレッシュ状態指示信号RFS__EVENの活性化にตอบสนองして起動され所定の周期でセルフリフレッシュ要求を発生するリフレッシュ周期制御回路182と、偶数バンクリフレッシュ状態指示信号RFS__EVENとリフレッシュ周期制御回路182からのリフレッシュ要求とに従ってメインバンク活性化信号ZRASRMを生成するRASR信号発生回路181と、RASR信号発生回路181からのメインバンク活性化信号ZRASRMにตอบสนองしてそれぞれ活性化期間の異なる偶数バンク活性化信号ZRASR__EVENと奇数バンク活性化信号ZRASR__ODDを生成するRASR遅延回路183と、偶数バンク活性化信号ZRASR__EVENと奇数バンク活性化信号ZRASR__ODDとにตอบสนองしてカウントアップ指示信号ZCNTUPを生成するカウントアップ信号発生回路185と、このカウントアップ指示信号ZCNTUPにตอบสนองしてカウント動作を行なってリフレッシュアドレスを生成する内部アドレスカウンタ36を含む。

【0151】リフレッシュモード時においてリフレッシュ要求が与えられた場合にはまず偶数バンクが活性化されてリフレッシュが行なわれ、次いで奇数バンクが活性化されてリフレッシュが行なわれる。このため、コマンドデコーダ回路179およびリフレッシュ周期制御回路182へは、偶数バンクリフレッシュ状態指示信号RFS__EVENが与えられる。カウントアップ信号発生回路185は、偶数バンク活性化信号ZRASR__EVENおよび奇数バンク活性化信号ZRASR__ODDがともに活性化されたとき、次に偶数バンク活性化信号ZRASR__EVENが活性化されるとカウントアップ指示信号ZCNTUPを活性化する。

【0152】RASR遅延回路183は、全バンクリフレッシュ状態指示信号RFSORが活性化状態のとき、所定のシーケンスで偶数バンク活性化信号ZRASR__EVENおよび奇数バンク活性化信号ZRASR__ODDを活性化し、全バンクリフレッシュ状態指示信号RFSORが非活性化状態のときには、奇数バンク活性化信号ZRASR__ODDを非活性化状態に維持する。

【0153】ロウ系回路は、RASR遅延回路183からの偶数バンク活性化信号ZRASR__EVENおよび奇数バンク活性化信号ZRASR__ODDにตอบสนองして、偶数バンクアドレスラッチ指示信号ZQAL__EVENおよび奇数バンクアドレスラッチ指示信号ZQAL__ODDならびに偶数バンクワード線活性化信号RXT__E

VENおよび奇数バンクワード線活性化信号RXT__ODDを生成するロウ系制御信号発生回路群184と、偶数バンクアドレスラッチ指示信号ZQAL__EVENの活性化時内部アドレスカウンタ36からのリフレッシュアドレスビットQADD<0:m>を取込み偶数バンクに対するロウアドレスビットRA0<0:m>、RA2<0:m>…を生成しかつ奇数バンクアドレスラッチ指示信号ZQAL__ODDの活性化時内部アドレスカウンタ36からのリフレッシュアドレスビットQADD<0:m>を取込み奇数バンクに対するロウアドレスビットRA1<0:m>、RA3<0:m>…を生成するロウアドレス発生回路群187を含む。

【0154】ロウ系制御信号発生回路群184は、偶数バンクに対して設けられるロウ系制御信号発生回路と奇数バンクに対して設けられるロウ系制御信号発生回路とを含む。ロウアドレス発生回路群187は、バンクB0-B2n+1それぞれに対応して設けられるロウアドレス発生回路を含み、偶数バンクアドレスラッチ指示信号ZQAL__EVENおよび奇数バンクアドレスラッチ指示信号ZQAL__ODDにตอบสนองして、偶数バンクのロウアドレス発生回路および奇数バンクのロウアドレス発生回路がそれぞれ動作する。

【0155】ロウ系制御信号発生回路群184においても、バンクB0-B2n+1それぞれに対応して設けられるロウ系制御信号発生回路が設けられており、RASR遅延回路183からの偶数バンク活性化信号ZRASR__EVENおよび奇数バンク活性化信号ZRASR__ODDにตอบสนองして、偶数バンクに対して設けられるロウ系制御信号発生回路および奇数バンクに対して設けられるロウ系制御信号発生回路がそれぞれ活性化されて、対応のロウアドレス発生回路およびWL活性化回路を活性化するように構成されてもよい。

【0156】この実施の形態3においては、偶数バンクおよび奇数バンクが活性化タイミング（期間）を異ならせて活性化されてリフレッシュが行なわれている。すべてのバンクを同時に動作させる場合に比べて電力消費を分散させることができ、電源ノイズの発生を抑制でき、またピーク電流を低減することができる。

【0157】偶数バンクおよび奇数バンクに分割する際の各制御回路の動作は、先の実施の形態1におけるバンクB0およびB1に対する制御信号を、それぞれ偶数バンクに対する制御信号および奇数バンクに対する制御信号に置換えることにより得られる。したがって、セルフリフレッシュエントリコマンドが与えられた後、偶数バンクおよび奇数バンクの順序で順次活性化されてリフレッシュが行なわれる。奇数バンクのリフレッシュ前にセルフリフレッシュイクジットコマンドが与えられたときには、カウントアップ信号発生回路185はセット状態となり、次にセルフリフレッシュエントリコマンドまたオートリフレッシュコマンドが与えられても、カウント

アップ指示信号ZCNTUPは活性化されず、内部アドレスカウンタ36は、セルフリフレッシュイクジットコマンドが与えられたときのカウント値を維持する。したがって、リフレッシュが中断された場合においても、リフレッシュが中断された偶数バンクのリフレッシュアドレスで次のリフレッシュ時にリフレッシュ動作が行なわれる。リフレッシュ動作がスキップされたリフレッシュアドレスに対するリフレッシュサイクルが長くなるのを防止することができ、この記憶データが消失するのを防止することができる。次に、各部の構成について説明する。

【0158】[RFS信号発生回路180の構成] 図24は、図23に示すRFS信号発生回路180の構成を示す図である。図24において、RFS信号発生回路180は、偶数バンクリフレッシュ状態指示信号RFS__EVENを所定時間(2-3ns程度)遅延する遅延回路189と、偶数バンク活性化信号ZRASR__EVENを所定時間(2-3ns程度)遅延する遅延回路190と、リフレッシュ完了指示信号EXITと遅延回路189および190の出力信号を受けるNAND回路191と、セルフリフレッシュ指示信号ZSELFの活性化時セットされかつNAND回路191の出力信号がLレベルのときにリセットされるフリップフロップを構成するNAND回路192および193と、NAND回路193の出力信号を反転して偶数バンクリフレッシュ状態指示信号RFS__EVENを生成するインバータ194を含む。NAND回路192は、セルフリフレッシュ指示信号ZSELFとNAND回路193の出力信号とを受け、NAND回路193は、NAND回路192の出力信号とNAND回路191の出力信号とを受け、

【0159】RFS信号発生回路180は、さらに、奇数バンクリフレッシュ状態指示信号RFS__ODDを所定時間(2-3ns程度)遅延する遅延回路195と、奇数バンク活性化信号ZRASR__ODDを所定時間(2-3ns程度)遅延する遅延回路196と、セルフリフレッシュ完了指示信号EXITと遅延回路195および196の出力信号とを受け、NAND回路197と、セルフリフレッシュ指示信号ZSELFの活性化時セットされかつNAND回路197の出力信号がLレベルのときにリセットされるフリップフロップを構成するNAND回路198および199と、NAND回路199の出力信号を反転して奇数バンクリフレッシュ状態指示信号RFS__ODDを生成するインバータ200を含む。NAND回路198はセルフリフレッシュ指示信号ZSELFとNAND回路199の出力信号を受け、NAND回路199は、NAND回路197および198の出力信号を受け、

【0160】RFS信号発生回路180は、さらに、インバータ194および200の出力信号を受けるNOR回路201と、NOR回路201の出力信号を反転して

全バンクリフレッシュ状態指示信号RFSORを生成するインバータ202を含む。

【0161】この図24に示すRFS信号発生回路180は、実施の形態1において図4を参照して説明したRFS信号発生回路と同様の構成である。すなわち、図4の構成において、バンクB0およびB1に対する信号を、偶数バンクおよび奇数バンクに対する信号に置換えた構成と等価である。したがって、偶数バンクおよび奇数バンクはともに非活性状態(プリチャージ状態)のときに、全バンクリフレッシュ状態指示信号RFSORが非活性状態のLレベルとなる。セルフリフレッシュ指示信号ZSELFが活性化されると、フリップフロップがセットされ、偶数バンクリフレッシュ状態指示信号RFS__EVENおよび奇数バンクリフレッシュ状態指示信号RFS__ODDが活性状態のLレベルにセットされる。これらの偶数バンクリフレッシュ状態指示信号RFS__EVENおよび奇数バンクリフレッシュ状態指示信号RFS__ODDは、それぞれ対応のバンク活性化信号(ZRASR__EVENまたはZRASR__ODD)の非活性化とセルフリフレッシュ完了指示信号EXITの活性状態(Hレベル)を条件としてLレベルにリセットされる。

【0162】なお、セルフリフレッシュ完了指示信号EXITは、図2に詳細構成を示す実施の形態1におけるコマンドデコーダ回路の構成において、リフレッシュ状態指示信号RFS0に代えて偶数バンクリフレッシュ状態指示信号RFS__EVENを与えることにより生成される。

【0163】[RASR遅延回路183の構成] 図25は、図23に示すRASR遅延回路183の構成を示す図である。図25において、RASR遅延回路183は、図23に示すRASR信号発生回路181からのメインバンク活性化信号ZRASRMを受け、インバータ203と、インバータ203の出力信号を反転して偶数バンク活性化信号ZRASR__EVENを生成するインバータと、メインバンク活性化信号ZRASRMを遅延する遅延回路205と、遅延回路205の出力信号を反転するインバータ206と、インバータ206の出力信号と全バンクリフレッシュ状態指示信号RFSORとを受けて奇数バンク活性化信号ZRASR__ODDを生成するNAND回路207を含む。この図25に示すRASR遅延回路183の構成は、実施の形態1における図7(A)に示すRASR遅延回路183の構成と等価であり、バンク活性化信号ZRASR0およびZRASR1がそれぞれ、偶数バンク活性化信号ZRASR__EVENおよび奇数バンク活性化信号ZRASR__ODDに置換えられる。したがって、偶数バンクのリフレッシュが行なわれる前に全バンクリフレッシュ状態指示信号RFSORが非活性状態のLレベルとなると、奇数バンク活性化信号ZRASR__ODDはHレベルの非活性状態

に固定され、奇数バンクに対するリフレッシュ動作は禁止される。

【0164】このように、偶数バンクおよび奇数バンクで互いにタイミングを異ならせてリフレッシュを行なう場合、セルフリフレッシュイグジットコマンドが与えられてリフレッシュが中断される場合においても、最大、偶数バンクに対するリフレッシュに要する時間経過後には、この半導体記憶装置はプリチャージ状態に復帰でき、仕様値 t_{RC} を短くすることができる。

【0165】なお、RASR 信号発生回路 181 は、先の実施の形態 1 において図 6 (A) に示すように、リフレッシュ要求 ϕ_{req} および偶数バンクリフレッシュ状態指示信号 RFS_EVEN に従ってワンショットパルス形でメインバンク活性化信号 $ZRASRM$ を活性化する。リフレッシュ周期制御回路 182 は、単に偶数バンクリフレッシュ状態指示信号 RFS_EVEN の活性化にตอบสนองして内蔵のタイマが起動され所定の周期でリフレッシュ要求を発生する。

【0166】[カウントアップ信号発生回路 185 の構成] 図 26 は、図 23 に示すカウントアップ信号発生回路 185 の構成を示す図である。図 26 において、カウントアップ信号発生回路 185 は、偶数バンク活性化信号 $ZRASR_EVEN$ を遅延する遅延回路 208 と、遅延回路 208 の出力信号を反転するインバータ 209 と、インバータ 209 の出力信号と偶数バンク活性化信号 $ZRASR_EVEN$ を受ける NAND 回路 210 と、奇数バンク活性化信号 $ZRASR_ODD$ を遅延する遅延回路 211 と、遅延回路 211 の出力信号を反転するインバータ 212 と、インバータ 212 の出力信号と奇数バンク活性化信号 $ZRASR_ODD$ を受ける NAND 回路 213 と、NAND 回路 210 の出力信号が L レベルのときにセットされかつ NAND 回路 213 の出力信号が L レベルのときにリセットされるフリップフロップを構成する NAND 回路 214 および 215 を含む。NAND 回路 214 は、NAND 回路 210 の出力信号と NAND 回路 215 の出力信号とを受ける。NAND 回路 215 は、NAND 回路 214 の出力信号と NAND 回路 213 の出力信号と電源投入検出信号 $ZPOR$ を受ける。

【0167】カウントアップ信号発生回路 185 は、さらに、偶数バンク活性化信号 $ZRASR_EVEN$ と NAND 回路 214 の出力信号を受ける NOR 回路 216 と、NOR 回路 216 の出力信号を反転してカウントアップ指示信号 $ZCNTUP$ を発生するインバータ 217 を含む。

【0168】この図 26 に示すカウントアップ信号発生回路 185 は、実施の形態 1 において図 9 (A) において示した回路と等価である。バンク活性化信号 $ZRASR0$ および $ZRASR1$ を偶数バンク活性化信号 $ZRASR_EVEN$ および奇数バンク活性化信号 $ZRASR$

$_ODD$ に置換えることにより、この図 26 に示すカウントアップ信号発生回路 185 が得られる。したがって、この図 26 に示すカウントアップ信号発生回路 185 においては、偶数バンク活性化信号 $ZRASR_EVEN$ が非活性化されるとノード ND が H レベルにセットされ、かつ奇数バンク活性化信号 $ZRASR_ODD$ が H レベルに非活性化されるとノード ND が L レベルにリセットされる。このノード ND のリセット状態において偶数バンク活性化信号 $ZRASR_EVEN$ が活性化されるとカウントアップ指示信号 $ZCNTUP$ が活性化される。ノード ND のセット状態において偶数バンク活性化信号 $ZRASR_EVEN$ が活性化されてもカウントアップ指示信号 $ZCNTUP$ は H レベルの非活性化状態を維持し、内部アドレスカウンタのリフレッシュアドレスは更新されない。

【0169】[ロウ系制御信号発生回路群 184 の構成] 図 27 は、図 23 に示すロウ系制御信号発生回路群 184 の構成を示す図である。図 27 において、ロウ系制御信号発生回路群 184 は、偶数バンクに対する制御信号を発生する回路部分と、奇数バンクに対する制御信号を発生する回路部分とを含む。偶数バンクに対する回路部分は、偶数バンク活性化信号 $ZRASR_EVEN$ を受けて偶数バンクアドレスラッチ指示信号 $ZQAL_EVEN$ を生成するバッファ回路 218 と、バッファ回路 218 の出力信号を反転して偶数バンクワード線活性化信号 RXT_EVEN を生成するインバータ 219 を含む。

【0170】奇数バンクに対する回路部分は、奇数バンク活性化信号 $ZRASR_ODD$ を受けて奇数バンクアドレスラッチ指示信号 $ZQAL_ODD$ を生成するバッファ回路 220 と、バッファ回路 220 の出力信号を反転して奇数バンクワード線活性化信号 RXT_ODD を生成するインバータ 221 を含む。偶数バンク活性化信号 $ZRASR_EVEN$ の活性化時、偶数バンクがすべて並列に動作し、奇数バンク活性化信号 $ZRASR_ODD$ の活性化時、奇数バンクがすべて並列に動作する。

【0171】ロウアドレスラッチ回路群 187 においては、後に説明するようにバンク $B0-B2n+1$ それぞれに対応してロウアドレス発生回路が設けられており、また WL 発生回路群 188 においてもバンク $B0-B2n+1$ それぞれに対応して WL 活性化回路が設けられている。これらのバンクそれぞれに対応して設けられる回路へ、奇数バンク用の制御信号および偶数バンク用の制御信号が与えられ、通常動作モード時に対応のバンク制御回路から与えられる活性化信号と論理和をとってリフレッシュモード時の動作が制御される。

【0172】[ロウ系制御信号発生回路群の変更例] 図 28 は、この図 23 に示すロウ系制御信号発生回路群 184 の変更例を概略的に示す図である。図 28 においては、偶数バンク $B2i$ に対応して設けられるロウ系制御

信号発生回路 222 と奇数バンク B_{2i+1} に対応して設けられるロウ系制御信号発生回路 223 を、ロウ系制御信号発生回路群 184 は含む。 $i = 0 \sim n$ である。

【0173】すなわち、この図 28 に示すロウ系制御信号発生回路群 184 においては、バンク $B_0 \sim B_{2i+1}$ それぞれに対応してロウ系制御信号発生回路が設けられる。偶数バンクに対して設けられたロウ系制御信号発生回路 222 に対しては、偶数バンク活性化信号 $ZRAS_EVEN$ が共通に与えられ、奇数バンクに対して設けられるロウ系制御信号発生回路 223 に対しては、奇数バンク活性化信号 $ZRAS_ODD$ が共通に与えられる。通常動作モード時においては、図示しないバンク活性化信号発生回路からの制御信号に従ってこのロウ系制御信号発生回路 222 および 223 は、互いに独立に活性化され、バンク単位での行選択動作が行なわれる。セルフリフレッシュモード時においては、偶数バンク活性化信号 $ZRAS_EVEN$ および奇数バンク活性化信号 $ZRAS_ODD$ に従って奇数バンクおよび偶数バンク単位でリフレッシュが実行される。

【0174】ロウ系制御信号発生回路 222 からのアドレスラッチ指示信号 $ZQAL_{2i}$ が対応のロウアドレス発生回路に与えられ、ワード線活性化信号 RXT_{2i} が、対応のバンク B_{2i} に対して設けられた WL 活性化回路へ与えられる。ロウ系制御信号発生回路 223 からのアドレスラッチ指示信号 $ZQAL_{2i+1}$ は、対応のバンク B_{2i+1} に対して設けられるロウアドレス発生回路へ与えられ、ワード線活性化信号 RXT_{2i+1} も、対応のバンク B_{2i+1} に対して設けられた WL 活性化回路へ与えられる。ロウ系制御信号発生回路 222 および 223 の構成は図 27 に示す構成と同じである。バンク個々に対してロウ系制御信号発生回路を設け、偶数バンクおよび奇数バンク単位で活性化することにより、通常動作モード時に使用されるロウ系制御信号発生回路をそのまま利用することができ、回路構成が簡略化される。

【0175】〔ロウアドレス発生回路群 187 の構成〕図 29 は、図 23 に示すロウアドレス発生回路群 187 の構成を示す図である。図 29 において、ロウアドレス発生回路群 187 は、バンク $B_0 \sim B_{2n+1}$ それぞれに対応して設けられ、それぞれ図 23 に示す内部アドレスカウンタ 36 からのリフレッシュアドレスビット $QADD < 0 : m >$ を受けてロウアドレスビット $RAO < 0 : m > \sim RA_{2m+1} < 0 : m >$ を生成するロウアドレス発生回路 $RAG_0 \sim RAG_{2n+1}$ を含む。これらのロウアドレス発生回路 $RAG_0 \sim RAG_{2n+1}$ は同一構成を有し、図 29 においては、ロウアドレス発生回路 RAG_0 に対してのみ参照番号をその構成要素に対して付す。ロウアドレス発生回路 RAG_0 は、偶数バンク活性化信号 $ZQAL_EVEN$ を受けるインバータ 224 と、インバータ 224 の出力信号と偶数バンク活性化信号 $ZQAL_EVEN$ とに従って活性化され、活性化

時リフレッシュアドレスビット $QADD < 0 : m >$ を反転するトライステートインバータバッファ回路 225 と、トライステートインバータバッファ回路 225 の出力信号を反転してロウアドレスビット $RAO < 0 : m >$ を生成するインバータ回路 226 と、インバータ回路 226 の出力信号を反転してインバータ 226 の入力へ伝達するインバータ回路 227 を含む。インバータ回路 226 および 227 が、ラッチ回路を構成する。

【0176】偶数バンクに対して設けられるロウアドレス発生回路 $RAG_0, RAG_2, \dots, RAG_{2n}$ に対し偶数バンクアドレスラッチ指示信号 $ZQAL_EVEN$ が与えられ、奇数バンクに対して設けられるロウアドレス発生回路 $RAG_1, RAG_3, \dots, RAG_{2n+1}$ に対し奇数バンクアドレスラッチ指示信号 $ZQAN_ODD$ が与えられる。これらのロウアドレス発生回路 $RAG_0 \sim RAG_{2n+1}$ は、対応のバンクアドレスラッチ指示信号 $ZQAL_EVEN$ または $ZQAN_ODD$ が活性化状態となると、トライステートインバータバッファ回路 225 が動作し、リフレッシュアドレスビット $QADD < 0 : m >$ を取込む。対応のバンクアドレスラッチ指示信号 $ZQAL_EVEN$ または $ZQAN_ODD$ が非活性化状態のときには、トライステートインバータバッファ回路 225 が出力ハイインピーダンス状態となり、これらのロウアドレス発生回路 $RAG_0 \sim RAG_{2n+1}$ は、ラッチ状態となる。これにより、偶数バンクおよび奇数バンク単位でリフレッシュアドレスビットの取込みを行なうことができる。

【0177】なお、このロウアドレス発生回路群 187 においても、ロウアドレス発生回路 $RAG_0 \sim RAG_{2n+1}$ に対し対応のロウ系制御信号発生回路から、ラッチ指示信号 $ZQAL_0 \sim ZQAL_{2n+1}$ が与えられてもよい。この場合には、ロウ系制御信号発生回路群 184 は、図 28 に示すように各バンクに対して設けられるロウ系制御信号発生回路を備える。

【0178】図 30 は、この発明の実施の形態 3 における半導体記憶装置のセルフリフレッシュモード時の動作を示す信号波形図である。この図 30 に示すように、セルフリフレッシュエントリコマンドが与えられると、セルフリフレッシュ指示信号 $ZSELF$ が活性化状態へ駆動され、応じてリフレッシュ状態指示信号 $ZRFS_EVEN$ が活性化状態へ駆動され、応じて全バンクリフレッシュ状態指示信号 $RFSOR$ が H レベルへ駆動され、かつ全バンクリフレッシュ状態指示信号 $RFSOR$ が H レベルへ駆動され、リフレッシュ完了指示信号 $EXIT$ が L レベルに立下がる。

【0179】次いで、 $RASR$ 信号発生回路 181 からのメインバンク活性化信号 $ZRASRM$ が活性化状態へ駆動され、応じてまず偶数バンク活性化信号 $ZRASR_EVEN$ が活性化される。この偶数バンク活性化信号 $ZRASR_EVEN$ の活性化にตอบสนองしてカウントアップ

指示信号ZCNTUPが活性化され、内部アドレスカウンタ36のカウンタ値が更新され、リフレッシュアドレスビットQADD<0:m>のアドレスが更新される。

【0180】このアドレス更新と並行して、偶数バンク活性化信号ZRASR_EVENの活性化にตอบสนองして偶数バンクアドレスラッチ指示信号ZQAL_EVENが活性化され、偶数バンクに対するロウアドレスRA0<0:m>、RA2<0:m>、…RA2n<0:m>のビット値が確定する。次いで、ワード線活性化信号RXT_EVENが偶数バンク活性化信号ZRASR_EVENの活性化にตอบสนองして活性化され、偶数バンクにおいてリフレッシュアドレスに対応するワード線WL2i<0>が選択状態へ駆動される。次いで、センスアンプが活性化され、このリフレッシュアドレスにより指定されたメモリセルのデータの検知、増幅および再書込が行なわれ、リフレッシュが実行される。

【0181】次いで、この偶数バンクのリフレッシュ動作完了後、奇数バンクに対するバンク活性化信号ZRASR_ODDが活性化され、応じて奇数バンクに対するロウアドレスビットRA2i+1<0:m>が確定状態となる。次いで、ワード線活性化信号RXT_ODDが活性化され、奇数バンクのリフレッシュアドレスにより指定されるワード線WL2i+1<0>が選択状態へ駆動され、次いでセンスアンプ回路が活性化されて奇数バンクにおけるリフレッシュが並列に実行される。

【0182】以降、所定周期ごとに、図23に示すリフレッシュ周期制御回路182からのリフレッシュ要求に従って偶数バンクおよび奇数バンクに対しリフレッシュが実行される。

【0183】セルフリフレッシュイグジットコマンドが与えられ、リフレッシュが中断された場合には、先の実施の形態1および2と同様、カウントアップ指示信号ZCNTUPは次のリフレッシュサイクル時活性化されず、次のリフレッシュサイクル時においては、中断されたリフレッシュアドレスから再びリフレッシュが実行される。

【0184】なお、この実施の形態3においても、リフレッシュアドレスの更新については、奇数バンクに対するリフレッシュ動作完了後、カウントアップ指示信号ZCNTUPが活性化状態へ駆動される構成が用いられてもよい。また、偶数バンクおよび奇数バンクが活性化される順序が逆であってもよい。

【0185】以上のように、この発明の実施の形態3に従えば、偶数バンクおよび奇数バンク単位でリフレッシュタイミングを異ならされており、全バンクを同時にリフレッシュする場合に比べて、電流消費を分散させることができ、応じて電源ノイズによる誤動作を防止することができ、確実にリフレッシュを実行することができる。また分散リフレッシュにより、ピーク電流を低減することができ、また電流消費の集中を抑制することがで

きる。

【0186】[他の適用例] クロック同期型半導体記憶装置(SDRAM)が示されている。クロック信号に同期して動作する多バンク構成の半導体記憶装置でありかつセルフリフレッシュ動作モードを有する半導体記憶装置であれば本発明は適用可能である。

【0187】またバンクの配置については、1つのメモリアレイが複数のバンクに分割されてもよく、またバンクごとにメモリマツトが分散して配置される構成であってもよく、特にそのバンクの配置については任意であり、複数のバンクが設けられていればよい。

【0188】また、ロウアドレス発生回路は、対応のバンク活性化信号の非活性化時、初期状態にリセットされてもよい。

【0189】

【発明の効果】請求項1に係る発明に従えば、複数のバンクに対するリフレッシュ動作において、これらの複数のバンクを複数の組に分割し、少なくとも複数の組のバンクリフレッシュ完了にตอบสนองしてリフレッシュアドレス発生手段のリフレッシュアドレスを更新するように構成しており、また複数のバンクの組のリフレッシュタイミングを異ならせており、リフレッシュ中断時においても次のリフレッシュ指示時に、中断されたリフレッシュアドレスのリフレッシュを行なうことができ、またリフレッシュ中断時即座に以降の組のバンクの活性化を停止させることができ、即座にリフレッシュモードを解除して次の動作モードに備えることができ、電流消費の分散を仕様値tRCを増大させることなく実現することができる。

【0190】請求項2に係る発明に従えば、リフレッシュアドレスは、リフレッシュモード解除時複数のバンクの組のリフレッシュ非完了時にはその中断時のリフレッシュアドレスを保持するように構成しており、容易に次のリフレッシュサイクルにおいて中断されたリフレッシュアドレスに従って複数のバンクの組のリフレッシュを行なうことができる。

【0191】請求項3に係る発明に従えば、リフレッシュ指示印加時、所定のシーケンスで複数のバンクの組を組単位で順次活性化しており、複数のバンクの組の活性化タイミングを単に順次ずらせるだけでよく、分散リフレッシュ動作を容易に実現することができる。またリフレッシュ完了指示コマンド印加時、以降のバンクのリフレッシュ停止を容易に実現することができる。またリフレッシュ完了指示コマンド印加時、容易に全バンクがリフレッシュ完了を行なったか否かの判定を行なうことができる。

【0192】請求項4に係る発明に従えば、複数のバンクの組は、活性化期間が互いに重なり合わないよう活性化しており、リフレッシュ中断時においても、容易に高速で内部プリチャージ状態に復帰できる(1つのリフ

レッシュ実行期間が、1つのバンクのリフレッシュ実行期間と等価であるため)。

【0193】請求項5に係る発明に従えば、複数のバンクそれぞれの活性化タイミングを異ならせており、バンク数増大時においても、大幅にピーク電流を低減することができる。

【0194】請求項6に係る発明に従えば、所定数のバンクを1つの組としてリフレッシュを行なっており、バンク数および動作条件に応じてリフレッシュ動作を適当に分散させることができ、電流消費およびリフレッシュサイクル(リフレッシュ間隔)を考慮して複数のバンクを複数の組に分割して分散リフレッシュを行なうことができる。

【0195】請求項7に係る発明に従えば、リフレッシュモード時には、少なくとも複数のバンクの組のリフレッシュ完了に従ってリフレッシュアドレスを更新して複数のバンクの組を所定のシーケンスで各リフレッシュタイミングを異ならせてリフレッシュを行なうように構成しており、リフレッシュ動作を分散させてピーク電流消費を低減でき、かつリフレッシュモード解除時においても、短時間でリフレッシュモードを解除して内部をプリチャージ状態に復帰させることができる。またリフレッシュ中断時においても所定のシーケンスにおいて以降のバンクの活性化を停止するだけでよく、制御が容易となり、またこの場合には、リフレッシュアドレスの更新を行わないため、次のリフレッシュモード時に、中断されたリフレッシュアドレスからリフレッシュを再開させることができ、リフレッシュが中断されたバンクのリフレッシュ間隔が長くなって記憶データが消失するのを防止することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図2】 図1に示すコマンドデコーダ回路の構成を示す図である。

【図3】 図2に示すコマンドデコーダ回路の動作を示す信号波形図である。

【図4】 図1に示すRFS信号発生回路の構成を示す図である。

【図5】 図4に示すRFS信号発生回路の動作を示す信号波形図である。

【図6】 (A)は図1に示すRASR信号発生回路の構成を示し、(B)は、(A)に示す回路の動作を示す信号波形図である。

【図7】 (A)は図1に示すRASR遅延回路の構成を示し、(B)は、(A)に示す回路の動作を示す信号波形図である。

【図8】 (A)および(B)は図1に示すロウ系制御信号発生回路の構成を示し、(C)は(A)および(B)に示す回路の動作を示す信号波形図である。

【図9】 (A)は図1に示すカウントアップ信号発生回路の構成を示し、(B)は(A)に示す回路の動作を示す信号波形図である。

【図10】 図1に示すロウアドレス発生回路の構成を示す図である。

【図11】 図10に示す回路の動作を示す信号波形図である。

【図12】 この発明の実施の形態1に従う半導体記憶装置の動作を示す信号波形図である。

【図13】 この発明の実施の形態1に従う半導体記憶装置の動作を示す信号波形図である。

【図14】 この発明の実施の形態1に従う半導体記憶装置のリフレッシュ中断時の動作を示す信号波形図である。

【図15】 この発明の実施の形態1のリフレッシュ中断時の動作を示す信号波形図である。

【図16】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図17】 図16に示すRFS信号発生回路の構成を示す図である。

【図18】 図16に示すRASR遅延回路の構成を示す図である。

【図19】 図17および図18に示す回路の動作を示す信号波形図である。

【図20】 図16に示すカウントアップ信号発生回路の構成を示す図である。

【図21】 図16に示すロウ系制御信号発生回路群の構成を示す図である。

【図22】 図16に示すロウアドレス発生回路群の構成を示す図である。

【図23】 この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図24】 図23に示すRFS信号発生回路の構成を示す図である。

【図25】 図23に示すRASR遅延回路の構成を示す図である。

【図26】 図23に示すカウントアップ信号発生回路の構成を示す図である。

【図27】 図23に示すロウ系制御信号発生回路群の構成を示す図である。

【図28】 図23に示すロウ系制御信号発生回路群の変更例を概略的に示す図である。

【図29】 図23に示すロウアドレス発生回路群の構成を示す図である。

【図30】 この発明の実施の形態3に従う半導体記憶装置の動作を示す信号波形図である。

【図31】 従来の半導体記憶装置の全体の構成を概略的に示す図である。

【図32】 図31に示す内部制御回路の構成を概略的に示す図である。

53

【図33】 図32に示すバンク制御回路の行系制御回路の構成を概略的に示す図である。

【図34】 従来の半導体記憶装置のリフレッシュ動作に関連する部分の構成を概略的に示す図である。

【図35】 従来の半導体記憶装置のリフレッシュモード時の動作を示す信号波形図である。

【図36】 従来の半導体記憶装置の行選択に関連する部分の構成を概略的に示す図である。

【図37】 従来の半導体記憶装置のセルフリフレッシュモード時の問題点を説明するための図である。

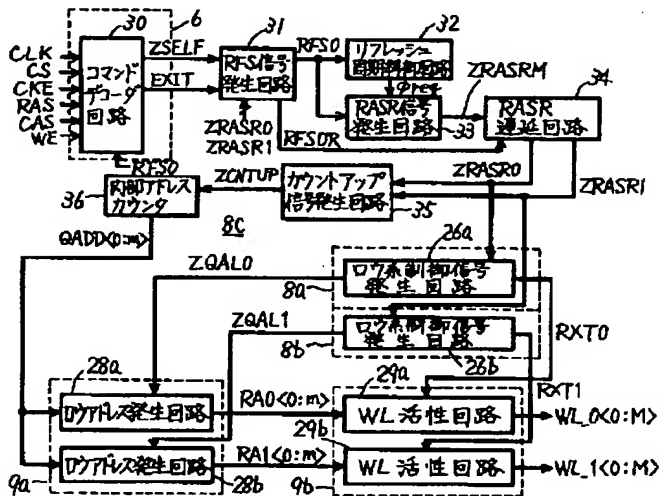
【図38】 従来の半導体記憶装置のリフレッシュモード時の問題点を説明するための図である。

【符号の説明】

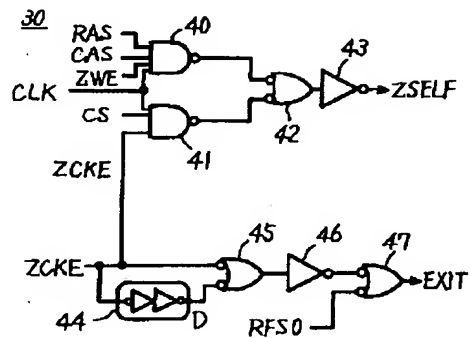
30 コマンドデコーダ回路、31 RFS信号発生回路、32 リフレッシュ周期制御回路、33 RASR*

*信号発生回路、34 RASR遅延回路、35 カウントアップ信号発生回路、8a、8b バンク制御回路、8c リフレッシュ制御回路、26a、26b ロウ系制御信号発生回路、9a アドレスラッチ回路、9b ワード線ドライバ回路、28a、28b ロウアドレス発生回路、29a、29b WL活性回路、92 RFS信号発生回路、95 RASR遅延回路、96 ロウ系制御信号発生回路群、97 カウントアップ信号発生回路、99 ロウアドレス発生回路群、100 WL活性回路群、179 コマンドデコーダ回路、180 RFS信号発生回路、181 RASR信号発生回路、182 リフレッシュ周期制御回路、183 RASR遅延回路、184 ロウ系制御信号発生回路群、185 カウントアップ信号発生回路、187 ロウアドレス発生回路群、188 WL活性回路群。

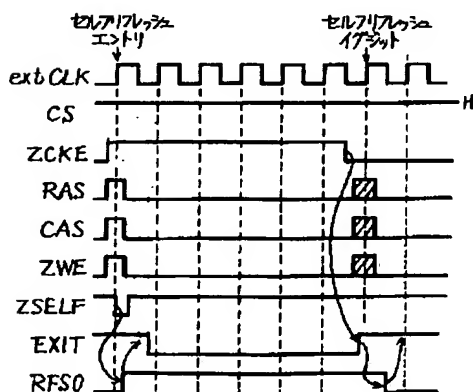
【図1】



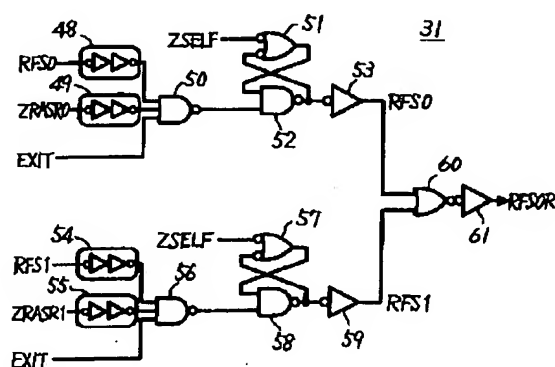
【図2】



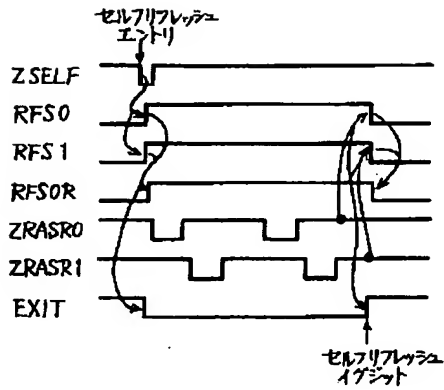
【図3】



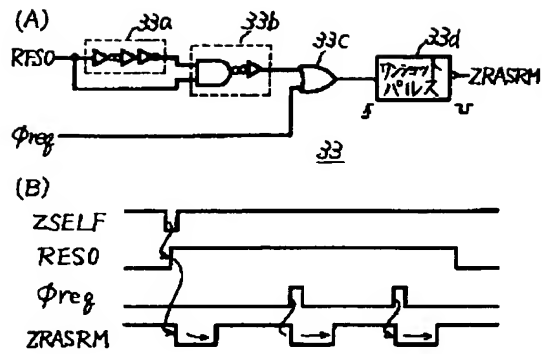
【図4】



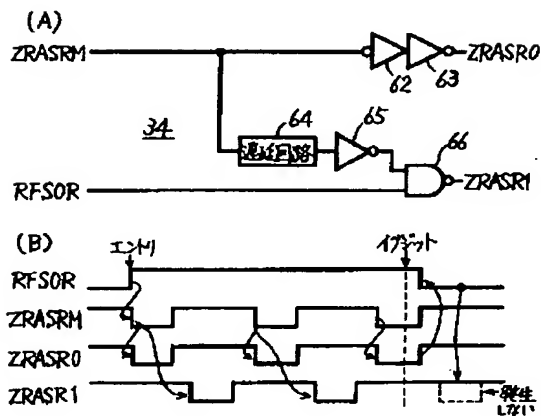
【図5】



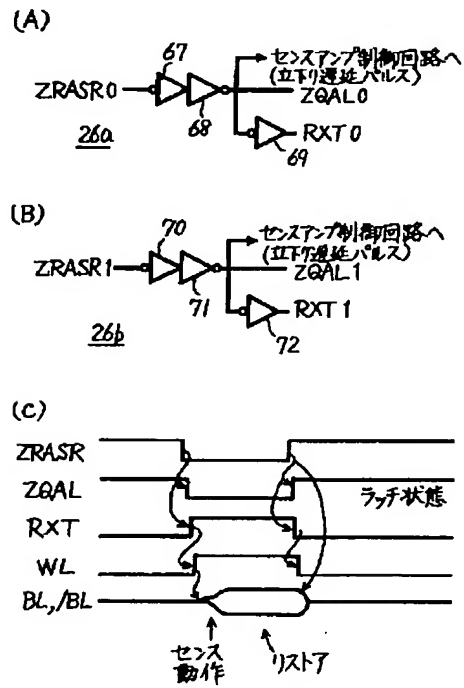
【図6】



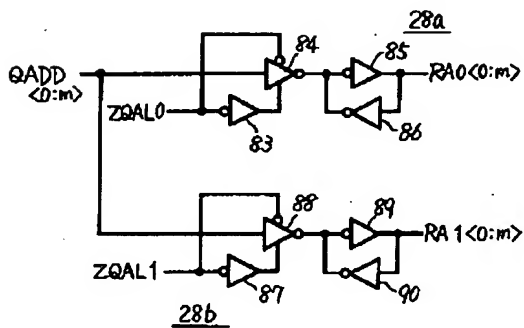
【図7】



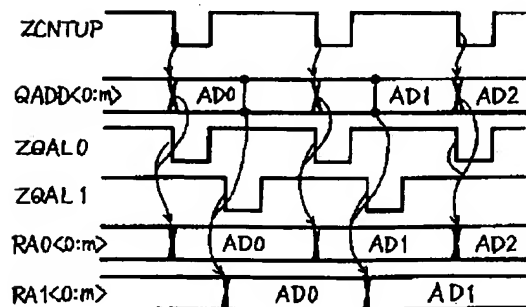
【図8】



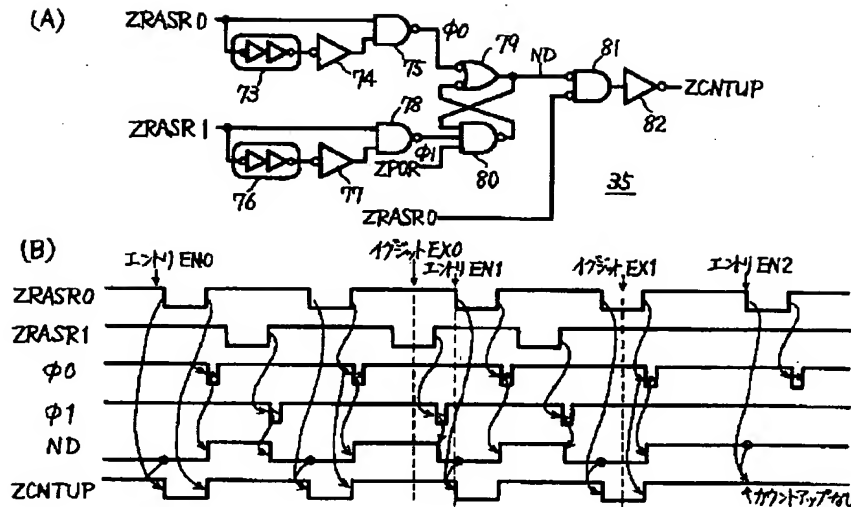
【図10】



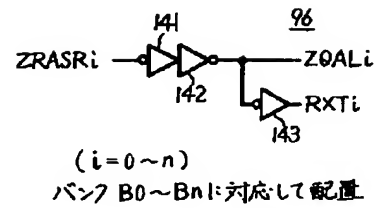
【図11】



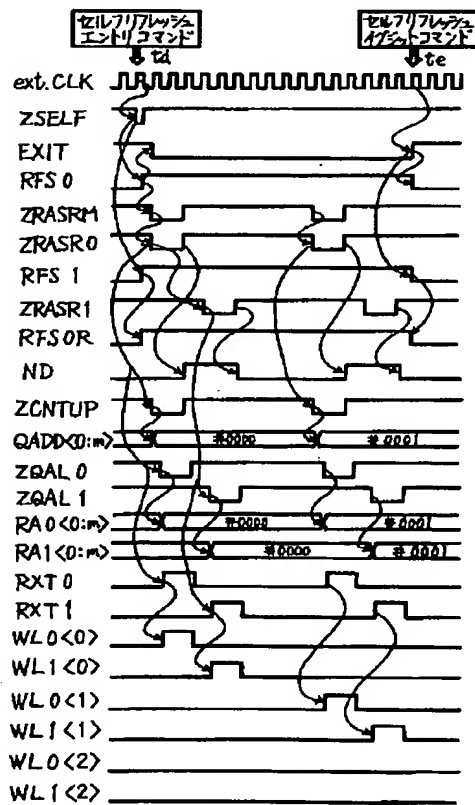
【図9】



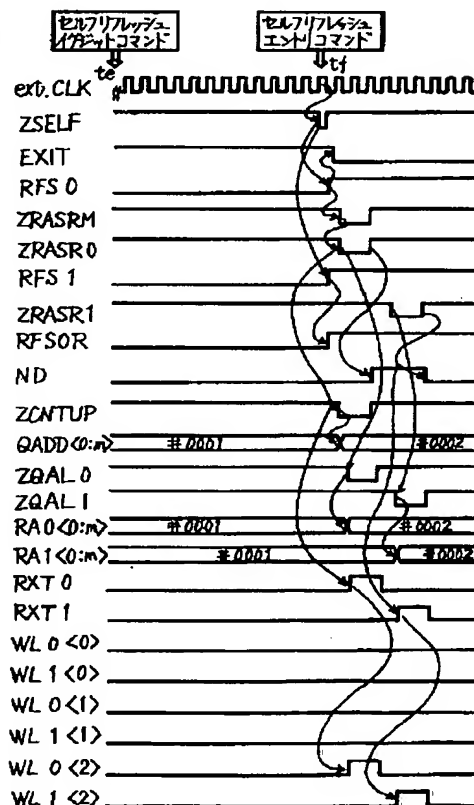
【図21】



【図12】

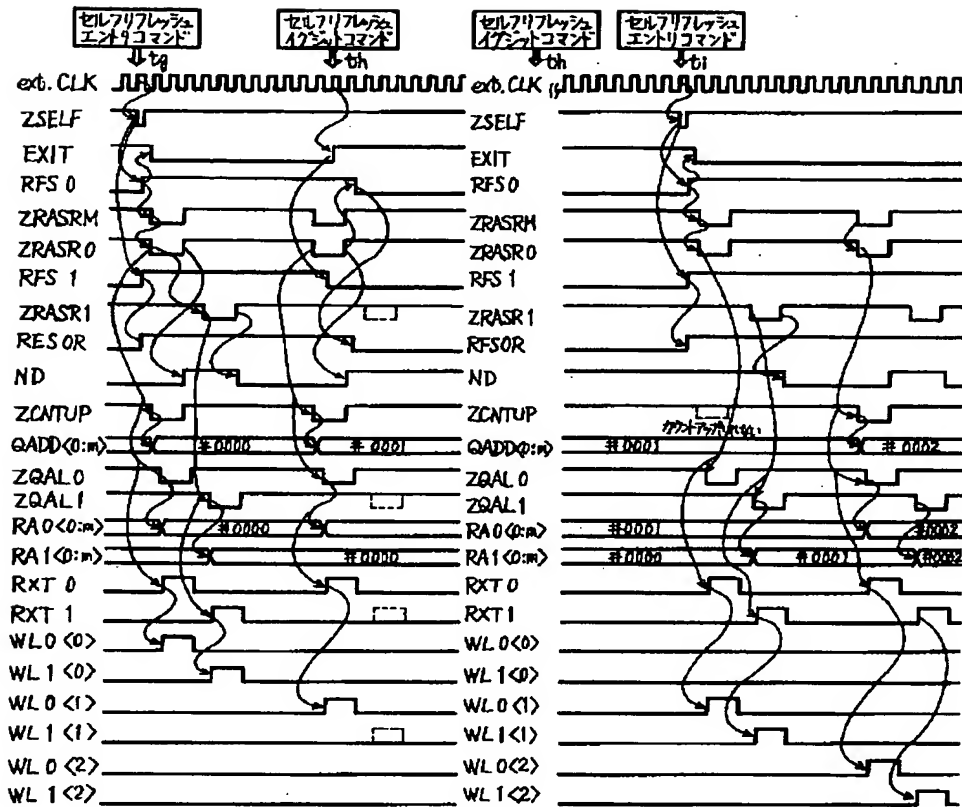


【図13】



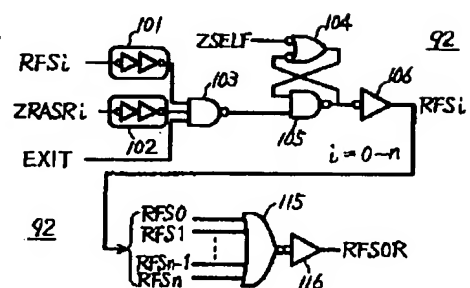
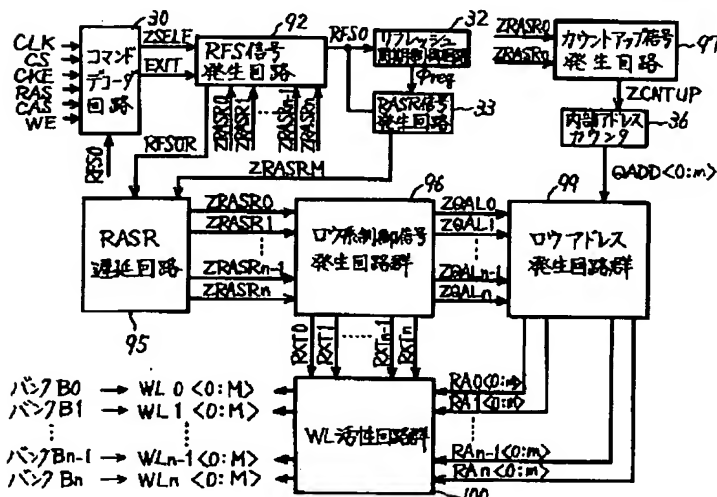
【図14】

【図15】

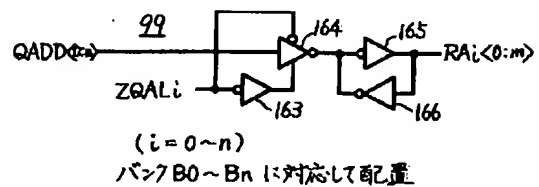


【図16】

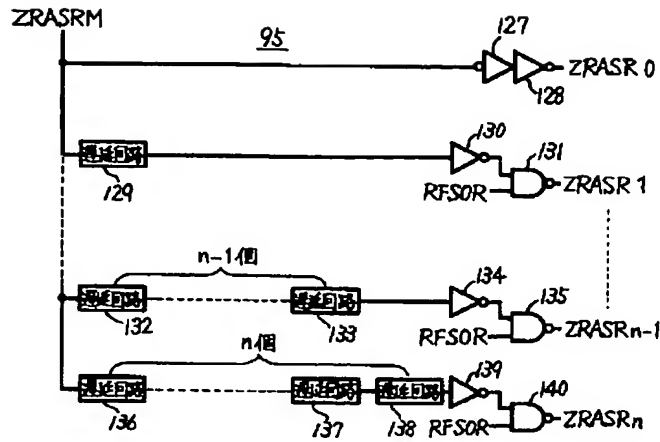
【図17】



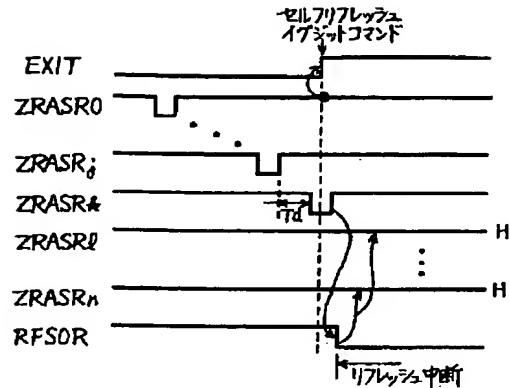
【図22】



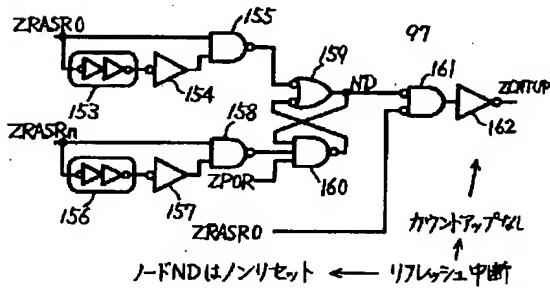
【図 18】



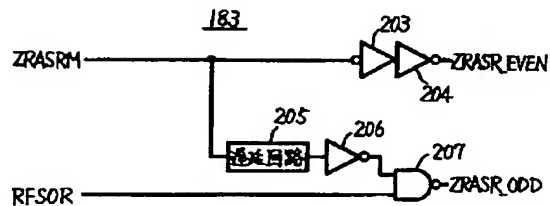
【図 19】



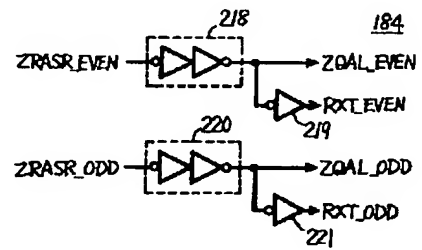
【図 20】



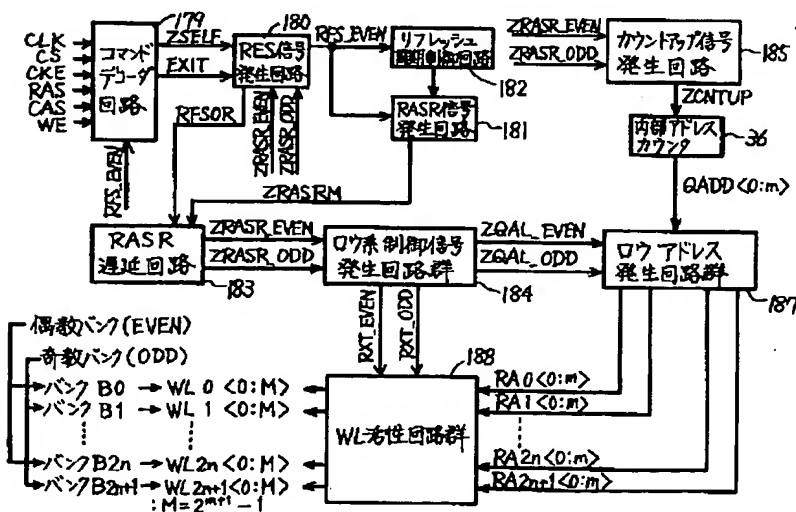
【図 25】



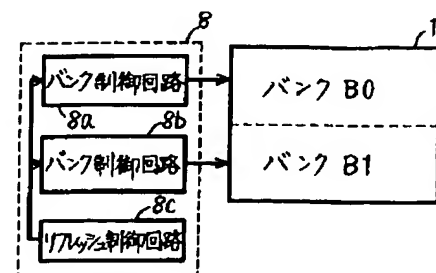
【図 27】



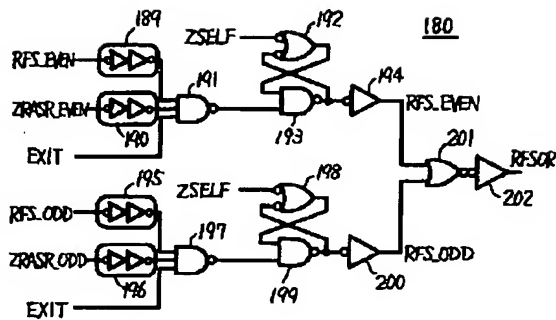
【図 23】



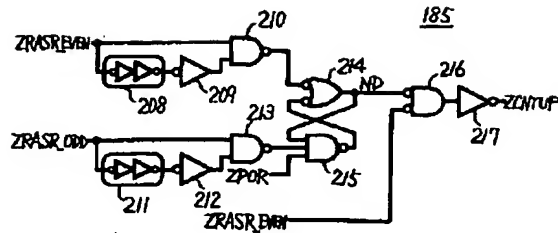
【図 32】



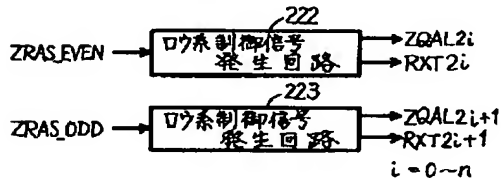
【図24】



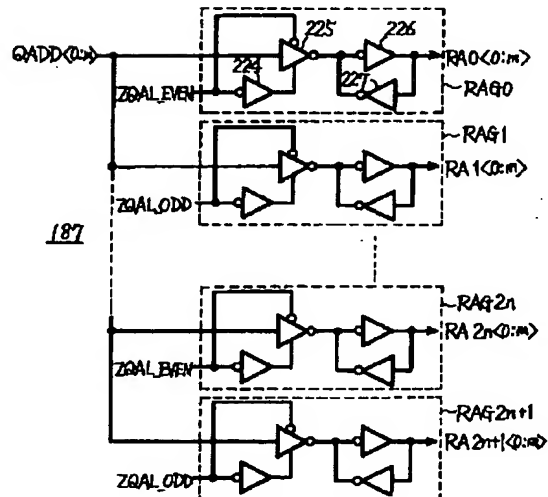
【図26】



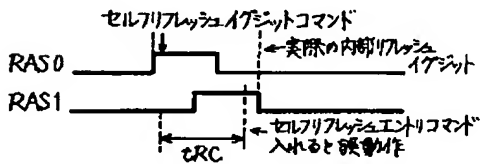
【図28】



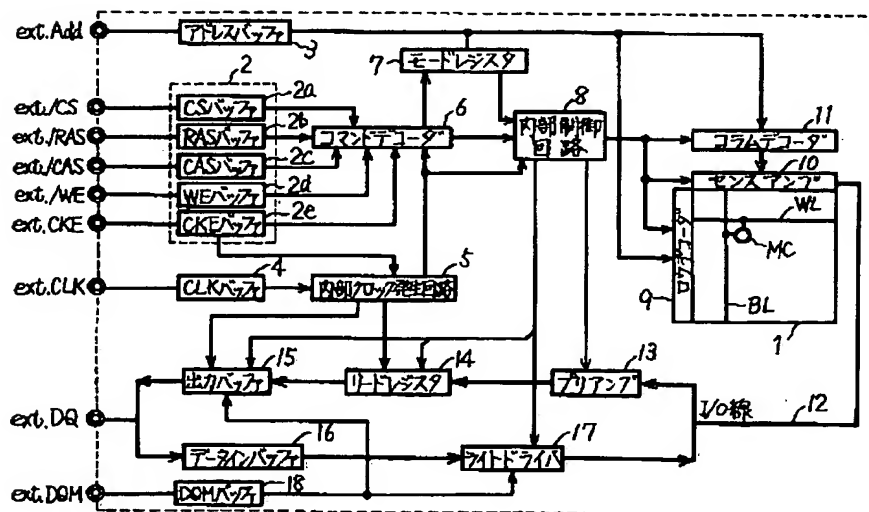
【図29】



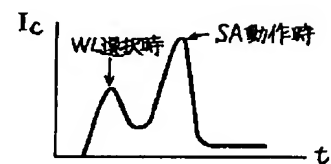
【図38】



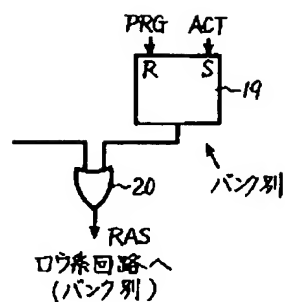
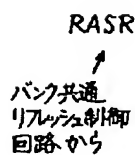
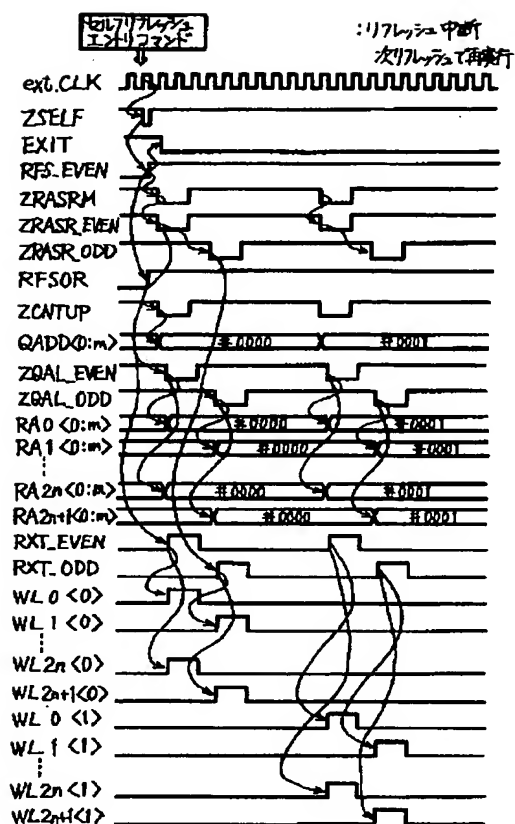
【図31】



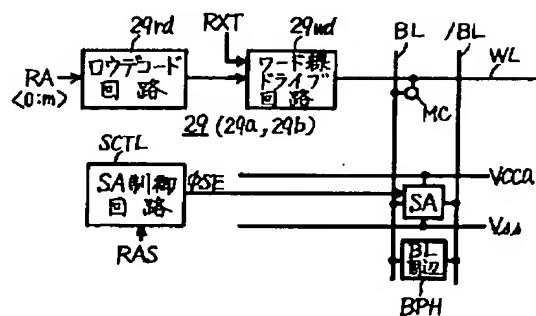
【図37】



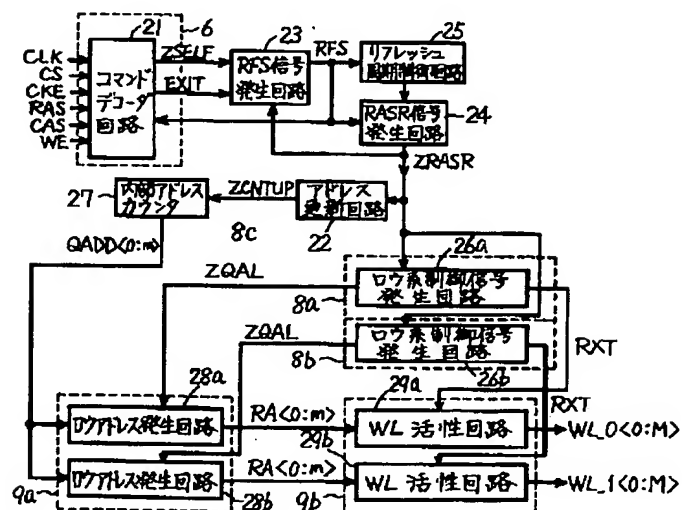
【图 3-3】



【图 3 6】



【图 3-4】



【図35】

